

## KOREAN UTILITY MODEL ABSTRACTS(KR)

(11) Publication No. : 1998-064841

(43) Publication Date : 1998/10/07

(21) Application No. : 1997-081862

(22) Application Date : 1997/12/26

(51) IPC Code : G02F 1/136

(71) Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(72) Inventors : Yamazaki Shunpei

Koyama Jun

Otani Hisashi

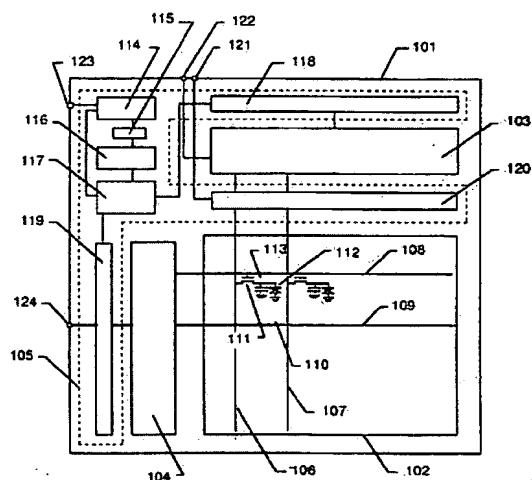
(30) Priority : JP96-358974

1996/12/27

(54) Title of Invention :

ACTIVE MATRIX DISPLAY

Representative drawing



(57) Abstract :

A systemized active matrix display in which a pixel matrix circuit, a driver circuit and a logic circuit are mounted on the same substrate, is formed. A TFT of the present invention has such characteristics as to be able to operate in a wide driving frequency range of 0.05 to 2 GHz, and by designing a channel length and a film thickness of a gate insulating film of the TFT according to characteristics required by circuits, it is possible to form a high frequency driving circuit and a low frequency driving circuit on the same substrate.

# (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> G02F 1/136	(11) 공개번호 (43) 공개일자	특 1998-064841 1998년 10월 07일
--	------------------------	--------------------------------

(21) 출원번호	특 1997-081862
(22) 출원일자	1997년 12월 26일
(30) 우선권주장	96-358974 1996년 12월 27일 일본(JP)
(71) 출원인	한도타이에네루기켄큐쇼(주) 야마자키순페이
(72) 발명자	일본 가나가와켄 아쓰기시 하세 398 야마자키순페이 일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 켄큐쇼(주) 내 코야마준 일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 켄큐쇼(주) 내 오타니히사시 일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 켄큐쇼(주) 내 이병호, 최달용
(74) 대리인	이병호, 최달용

심사청구 : 없음

## (54) 액티브 매트릭스 디스플레이

### 요약

다기능성 및 저소비 전력성에 우수한 액티브 매트릭스 디스플레이를 실현하기 위한 기술을 제공하는 것으로서,

동일 기판상에 화소 매트릭스 회로, 드라이버 회로 및 논리 회로를 탑재한 시스템화 액티브 매트릭스 디스플레이를 제작한다. 본 발명의 TFT는 0.05 내지 2GHz의 폭넓은 구동 주파수 영역에 대응 가능한 특성을 가지며, 채널 길이와 게이트 절연막의 막두께를 회로가 요구하는 특성에 따라서 설계함으로써 고주파 구동용 회로와 저주파 구동용 회로를 동일 기판상에 형성하는 것을 가능하게 하고 있다.

### 대표도

### 도 1

### 명세서

#### 도면의 간단한 설명

- 도 1은 액티브 매트릭스 디스플레이를 도시하는 블록도.
- 도 2a 내지 도 2e는 실리콘 박막의 형성 공정을 도시하는 도면.
- 도 3은 실리콘 박막의 결정 구조를 나타내는 TEM 사진.
- 도 4는 TFT의 전기 특성을 도시하는 도면.
- 도 5a 내지 도 5c는 TFT의 구조를 도시하는 도면.
- 도 6a 내지 도 6b는 CMOS 구조 및 화소 영역의 단면을 도시하는 도면.
- 도 7은 상면에서 본 화소 영역을 도시하는 도면.
- 도 8a 내지 도 8d는 CMOS 구조 및 화소 영역의 제작 공정을 도시하는 도면.
- 도 9a 내지 도 9b는 CMOS 구조 및 화소 영역의 제작 공정을 도시하는 도면.
- 도 10a 내지 도 10d는 회로의 배치 구성을 설명하기 위한 도면.
- 도 11a 내지 도 11e는 기본적인 회로를 도시하는 도면.
- 도 12a 내지 도 12c는 수평 주사용 드라이버 회로를 설명하기 위한 도면.
- 도 13a 내지 도 13c는 논리를 구성하는 회로를 설명하기 위한 도면.
- 도 14a 내지 도 14d는 CMOS 구조의 제작 공정을 도시한 도면.
- 도 15a 내지 도 15d는 CMOS 구조의 제작 공정을 도시하는 도면.

도 16a 내지 도 16b는 촉매 원소의 첨가 방법을 설명하기 위한 도면.  
 도 17은 상면에서 본 화소 영역을 도시하는 도면.  
 도 18a 내지 도 18b는 프로젝션형 표시 장치의 구성을 도시하는 도면.  
 도 19a 내지 도 19e는 전기 광학 디바이스에의 응용예를 도시하는 도면.

**\* 도면의 주요 부분에 대한 부호의 설명 \***

- |                          |                 |
|--------------------------|-----------------|
| 101: 기판                  | 102: 화소 매트릭스 회로 |
| 103: 소스선 드라이버 회로         |                 |
| 104: 게이트선 드라이버 회로        |                 |
| 105: 논리 회로               | 106, 107: 소스선   |
| 108, 109: 게이트선           | 110: 화소 영역      |
| 111: 화소 TFT              | 112: 액정 셀       |
| 113: 보조 용량               | 114: 위상 비교기     |
| 115: LPF                 | 116: 전압 제어형 발진기 |
| 117: 분주기                 | 118: 수평 주사용 발진기 |
| 119: 수직 주사용 발진기          | 120: D/A 컨버터    |
| 121: 아날로그 신호의 입력 단자      |                 |
| 122: 비트 신호의 입력 단자        |                 |
| 123: 수평 주사용 동기 신호의 입력 단자 |                 |
| 124: 수직 주사용 동기 신호의 입력 단자 |                 |

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 명세서에서 개시하는 발명은 결정성을 가지는 박막 반도체를 사용하여 형성한 박막 트랜지스터(TFT)로 구성되는 액티브 매트릭스 디스플레이(액티브 매트릭스형의 액정 표시 장치, EL 표시 장치, EC 표시 장치를 포함한다)의 구성에 관한 것이다. 또한, 그러한 액티브 매트릭스 디스플레이를 표시 장치로서 사용하는 전기 광학 디바이스에 관한 것이다.

최근, TFT를 사용하여 동일 기판상에 화소 매트릭스 회로와 구동 회로를 일체 형성하는 기술이 급속히 발달되어 왔다. 그 이유는 일상생활에서 액티브 매트릭스 디스플레이(액티브 매트릭스 패널이라고도 부른다)의 수요가 높았던 것에 있다.

액티브 매트릭스 디스플레이는 매트릭스상으로 배치된 다수의 각 화소의 각각에 TFT를 배치하고, 각 화소 전극(구동 전극)에 출입하는 전하를 TFT의 스위칭 기능에 의해 제어하는 것이다.

그와 같은 액티브 매트릭스 디스플레이로서는 미국 특허제5250931호(Misawa et al.)에 개시되는 내용이 알려져 있다. 상기한 특허에서는 동일 기판상에 화소 매트릭스와 드라이버 회로(소스선 드라이버 회로와 게이트선 드라이버 회로)를 형성한 액티브 매트릭스 패널 및 응용 제품을 개시하고 있고, 드라이버 회로는 시프트 레지스터, 샘플 홀드 회로, 버퍼 등으로 구성되어 있는 취지가 기재되어 있다.

상기한 특허에 개시되어 있는 바와 같이, 종래의 액티브 매트릭스 디스플레이는 동일 기판상에 화소 매트릭스와 드라이버 회로를 구성하는 것에 멈추는 것이었다. 그러나, 현재의 일상생활에 있어서는 액티브 매트릭스 디스플레이는 여러가지의 응용제품(전기 광학 디바이스 등)에 사용되며, 소형화, 고성능화, 저소비 전력화를 요구하는 소리가 점점 강하게 되고 있다.

그와 같은 속에서, 최근에는 액티브 매트릭스 디스플레이의 소형화, 고성능화를 도모하는 수단으로서 SOP (시스템·온·패널) 구상이 제안되어 있다.

이 SOP 구상이란 종래는 액티브 매트릭스 디스플레이에 외부 부착되어 있는 논리 회로(표시 컨트롤 회로나 연산 회로 등의 신호 처리 회로)를, TFT에서 가지며 동일 기판상에 탑재하는 구상이다.

그러나, 그 구상을 실현할 수 있는 TFT를 형성하는 기술은 아직도 확립되어 있지 않다. 그 이유는, 현재 이용되고 있는 실리콘 박막(규소 박막)을 사용한 TFT에서는, 논리 회로와 같은 고주파 구동을 필요로 하는 전기 회로를 구성하는 것이 곤란하기 때문이다.

예를 들면, 현재 상태에 있어서 900℃ 전후의 가열처리를 거쳐서 형성되는 실리콘 박막(이른바 고온 폴리실리콘막)이라든지 600℃ 이하의 비교적 저온에서 형성되는 실리콘 박막(이른바 저온 폴리실리콘막)을 사용한 TFT가 발표되어 있지만, 이들 실리콘 박막에서는 논리 회로를 구성할 수 있는 고속 동작 성능을 가지는 TFT의 실현은 곤란하다.

TFT의 동작 속도의 향상은 TFT 사이즈를 작게 함으로써 일단 대처는 할 수 있지만, 채널 길이(또는 게이

트 길이)의 축소는 단채널 효과를 초래하고, 드레인 내압의 저하 등의 좋지 않는 상황이 생긴다. 따라서, 종래의 실리콘 박막을 사용한 TFT의 경우, 스케일링 규칙에 의한 동작 속도의 향상에도 한계가 오고 있으며, 신뢰성의 문제에서 이 이상 동작 속도를 올리는 것은 곤란하다. 또한, 실리콘 박막에는 결정입과 결정입계(그레인번더리)가 불규칙하게 존재하여, 결정입계가 TFT 특성에 크게 영향을 주어 불균형이 생기는 문제도 있다.

이상과 같이, 종래의 TFT 제조기술에서는 상기한 특허에 개시되는 바와 같이 액티브 매트릭스 디스플레이를 구성하는 것은 가능하더라도, 더욱 고속동작을 필요로 하는 논리 회로를 내장하는 것은 곤란하다.

또한, 종래 이용하고 있던 단결정 실리콘상에 형성한 IGFET (절연 게이트형 전계 효과 트랜지스터)의 경우, 단결정의 극히 우수한 결정성을 이용하여, 저주파 구동 및 고주파 구동의 어느 쪽에도 대응 가능한 IGFET를 형성할 수 있다. 그러나, 단결정 실리콘 웨이퍼상에 형성하는 IGFET에서는, 동작 속도를 높이기 위해서 채널 길이를 짧게 하면 즉시 단채널 효과가 나타나는 문제가 있다.

따라서, 고주파 구동용의 IGFET는 채널 도프 등의 특별한 처리가 필요하게 되므로, 제조 공정이 복잡하게 되는 것을 피하여 고주파 구동용의 IC 칩과 저주파 구동용(고내압 구동용)의 IC 칩을 따로따로 구별지어 사용하는 것이 보통이다.

따라서, 종래의 기술에서는 동일 기판 또는 동일 칩상에 고주파 구동용의 논리 회로와 저주파 구동용 논리 회로를 혼재하는 것은 어렵고, 그 것이 SOP 구상을 실현하는 데에 있어서의 큰 장애로 되어 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은, 이상과 같은 문제점을 극복하여, 동일 기판상에 고주파 구동용에 대응할 수 있는 회로와 저주파 구동(또는 고내압 구동)에 대응할 수 있는 회로를 혼재한, 저소비 전력성 및 다기능성을 가지는 액티브 매트릭스 디스플레이를 실현하기 위한 기술을 제공하는 것을 과제로 한다. 또한, 그러한 액티브 매트릭스 디스플레이를 이용한 소형이며 영가인 전기 광학 디바이스를 실현하기 위한 기술을 제공하는 것을 과제로 한다.

또, 본 명세서 중에 있어서 액티브 매트릭스 디스플레이라는 말은 액티브 매트릭스형 표시 장치 및 그 주된 기능을 가지는 구성 기판도 포함시켜 사용하고 있다. 즉, 예를 들면 액티브 매트릭스형 액정 표시 장치를 예로 들면, 액티브 매트릭스 디스플레이라는 말에는 액티브 매트릭스형 액정 표시 장치 뿐만 아니라 액티브 매트릭스 기판(TFT를 형성하는 층의 기판)도 포함되는 것으로 한다.

(과제를 해결하기 위한 수단)

본 명세서에서 개시하는 발명은,

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치하여 구성되는 액티브 매트릭스 디스플레이, 또는, 상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로를 동일 기판상에 배치한 액티브 매트릭스 기판 및 해당 액티브 매트릭스 기판에 대향하여 배치되는 대향 기판의 사이에 액정층을 협지한 구성으로 형성되는 액티브 매트릭스 디스플레이에 관한 것이다.

본 발명의 구성의 하나는,

상기 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 실리콘 박막은, 상호 대략 평행하게, 또한, 방향성을 갖고 성장한 다수의 막대 형상 또는 편평 막대 형상 결정이 집합하여 형성되는 결정 구조를 가지고 있는 것을 특징으로 한다.

또한, 다른 발명의 구성은,

상기 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 실리콘 박막을 구성하는 막대 형상 또는 편평 막대 형상 결정의 내부는 결정 격자가 연속적으로 연속되어 있고, 캐리어에 있어서 실질적으로 단결정이라고 간주할 수 있는 것을 특징으로 한다.

또한, 다른 발명의 구성은,

상기 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT의 서브스텝 계수는 N 채널형 TFT 및 P 채널형 TFT 모두 60 내지 100mV/decade인 것을 특징으로 한다.

또한, 다른 발명의 구성은,

상기 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT의 크기는, 해당 다수의 TFT로 구성되는 회로가 요구하는 전기 특성에 따라서 다른 것을 특징으로 한다.

또한, 다른 발명의 구성은,

상기 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT의 채널 길이(L) 및 / 또는 게이트 절연막의 막 두께(T)는, 해당 다수의 TFT로 구성되는 회로가 요구하는 전기 특성에 따라서 다른 것을 특징으로 한다.

또한, 다른 발명의 구성은,

상기 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT의 내, 필요로 하는 구동 주파수가 0.1 GHz 이상 회로를 구성하는 TFT의 게이트 절연막의 막 두께는 500 Å 이하이고, 필요로 하는 동작 전압이 10V를 넘는 회로를 구성하는 TFT의 게이트 절연막의 막 두께는 1000 Å 이상인 것을 특징으로 한다.

또한, 다른 발명의 구성은,

상기 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT에는 고주파 구동형 TFT와 고내압 구동형 TFT가 동시에 존재하고 있는 것을 특징으로 한다.

또한, 다른 발명의 구성은,

상기 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로를 구성하는 다수의 회로에는 구동 주파수 및 / 또는 동작 전압이 다른 적어도 2종류의 회로가 포함되는 것을 특징으로 한다.

이상의 구성으로 형성되는 본 발명에 대하여,

이하에 기재하는 실시예에 있어서 상세한 설명을 행하는 것으로 한다.

#### 발명의 구성 및 작용

(실시예 1)

도 1에 도시하는 것은, 본 발명에 의한 액티브 매트릭스 디스플레이의 블록도이다. 본 발명의 액티브 매트릭스 디스플레이는 기판(101)상에 화소 매트릭스 회로(102), 소스선 드라이버 회로(103), 게이트선 드라이버 회로(104) 및 논리 회로(105)를 일체 형성하여 구성된다.

또, 본 실시예에 나타내는 회로 구성은 단지 일 실시예를 나타내는 것이며, 회로 구성을 이것에 한정하는 것은 아니다. 본 발명의 요점은, 동일 기판상에 논리 회로(105)를 탑재하고 있는 것이고, 상기 화소 매트릭스 회로(102), 소스선 드라이버 회로(103), 게이트선 드라이버 회로(104), 논리 회로(105)와 같은 각종 회로의 구성은 회로 설계의 필요에 따라서 결정하면 된다.

도 1에 있어서, 소스선 드라이버 회로(103)는 주로 시프트 레지스터, 레벨 시프터, 버퍼, 래치 회로 등으로 구성되며, 게이트선 드라이버 회로(104)는 주로 시프트 레지스터, 멀티플렉서, 레벨 시프터, 버퍼 등으로 구성되어 있다. 물론, 시프트 레지스터를 동일 기능을 가지는 회로, 예를 들면 카운터 및 디코더로 대응하는 구성으로 해도 상관없다. 또한, 도 1은 디지털 대응의 회로 구성을 나타내고 있지만, 아날로그 대응이면 소스선 드라이버 회로(103)에는 샘플 홀드 회로 등이 포함된다.

또, 이들 소스선 드라이버 회로(103), 게이트선 드라이버 회로(104)에 포함되는 각종 회로는, N 채널형 TFT와 P 채널형TFT를 상보적으로 조합한 CMOS 구조로 형성되는 인버터 회로를 기본 단위로 구성된다. 물론, 편극성의 회로로도 가능하지만, 저소비 전력의 관점에서 CMOS 구조에 의한 스태틱형 또는 다이내믹형 회로가 적합하다.

또한, 화소 매트릭스 회로(102)는, 소스선 드라이버 회로(103)에 접속되는 다수의 소스선(106,107) 및 게이트선 드라이버 회로(104)에 접속되는 다수의 게이트선(108,109)으로 둘러싸인 다수의 화소 영역(110)이 매트릭스상으로 배치되어 구성된다. 그리고, 다수의 화소 영역(110)은 화소 TFT(111), 액정셀(112), 보조 용량(113)을 포함하여 구성되어 있다. 또, 도시되어 있지 않지만, 액정셀(112)은 화소

전극 및 대향 전극과 그 사이에 협지된 액정으로 구성된다.

다음에, 논리 회로(105)는, 소스선 드라이버 회로(103) 및 게이트선 드라이버 회로(104)를 구동하기 위한 스타트 펄스라든지 클럭 신호 등의 처리, 화소 매트릭스 회로(102)에 화상을 표시시키기 위한 비디오 신호의 처리 등과 같이, 화상 표시를 행하기 위해서 필요한 신호 처리를 행하는 데 필요한 회로 전반을 가리킨다.

도 1에 도시하는 실시예에 있어서 논리 회로(105)는, 위상 비교기(114), LPF(Low Pass Filter)(115), VCO (전압 제어형 발진기)(116), 분주기(117), 소스선 드라이버용(수평 주사용) 발진기(118), 게이트선 드라이버용(수직 주사용) 발진기(119), D/A 컨버터(디지털·아날로그 변환기)(120)를 포함하여 구성된다.

또, 본 발명자 등은 여기에서 도시되지 않는 다른 논리 회로, 예를 들면 이미지 센서라든지 CCD로부터 보내져 오는 신호의 입출력을 행하는 I/O포트, 애플리케이션 제어 회로(차동애플리케이션 제어, 오퍼레이션 애플리케이션 제어, 콤프레터 등), A/D컨버터, 데이터를 격납하는 메모리(RAM이라든지 ROM), 궁극적으로는 연산 회로까지도 모노실릭에 탑재하며, CPU (중앙 연산 처리 장치)로서의 기능을 구비한 시스템 디스플레이도 실현할 수 있다고 생각되고 있다.

또한, 121은 디지털 계조 신호에 따른 아날로그 신호의 입력 단자, 122는 디지털 계조 신호를 선택하기 위한 비트 신호의 입력 단자, 123은 수평 주사용 동기 신호의 입력 단자, 124는 수직 주사용 동기 신호의 입력 단자이다. 물론, 이들 아날로그 신호, 비트 신호, 동기 신호를 형성하는 발진 회로도 기판상에 조합하면 입력 단자는 필요없게 된다.

(본 발명에서 필요로 하는 실리콘 박막에 대하여)

여기에서, 도 1에 도시하는 바와 같은 액티브 매트릭스 디스플레이를 실현함에 있어서 가장 중요한 요소에 대하여 설명한다. 종래 예에서 설명한 바와 같이, 종래의 실리콘 박막으로서는 고주파 구동대응의 회로와 저주파 구동(고내압 구동) 대응의 회로를 동일 기판상에 혼재하는 것은 곤란하다. 따라서, 도 1에 도시하는 바와 같은 액티브 매트릭스 디스플레이를 구성하기 위해서는, 폭 넓은 주파수 영역에 대응할 수 있는 TFT를 실현할 수 있는 실리콘 박막을 형성하지 않으면 안된다.

본 발명은, 이하에 설명하는 완전히 새로운 실리콘 박막을 활성층으로 한 TFT에 의해서, 도 1에 도시하는 바와 같은 구성의 액티브 매트릭스 디스플레이를 실현 가능한 것으로 하고 있다. 이 완전히 새로운 실리콘 박막은 본 발명자 등이 발명한 재료로서, 이 재료를 사용하는 TFT는 활성층 및 게이트 절연막의 형성 방법 및 활성층을 구성하는 실리콘 박막의 구조에 특이한 특징이 보인다. 여기에서는 우선, 게이트 절연막을 형성할 때까지의 공정에 대하여 도 2를 이용하여 설명한다.

우선 절연 표면을 가지는 기판(201)을 준비한다. 본 실시예에서는 석영 기판을 사용하지만, 그 위에 마지막으로 산화 규소막 등을 성막한 기판을 사용해도 된다. 다만, 본 발명에서 이용하는 실리콘 박막을 형성하기 위해서는 700 내지 1100℃의 가열처리가 필요로 되기 때문에, 기판(201)은 그 온도 범위에서 견딜 수 있는 내열성을 가지지 않으면 안된다.

다음에, 비정질 실리콘막(비정질 실리콘막)(202)을 100 내지 750 Å (바람직하게는 150 내지 450 Å)의 두께로 플라즈마 CVD법, 스펙터법, 감압열 CVD 법에 의해서 성막한다. 또, 후의 열산화 공정에 의한 막감소를 계산에 넣어 최종적으로 필요로 하는 막 두께보다도 두텁게 성막해둔다. 또한, 성막가스로서 실란계 가스( $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ,  $\text{Si}_3\text{H}_8$  등)를 사용하는 감압열 CVD 법에 의하면, 후의 결정화 공정도에 있어서 자연 핵 발생율에 의한 피해는 적으므로 바람직하다.

비정질 실리콘막(202)을 성막하면, 다음에 비정질 실리콘막(202)을 결정화시켜서 결정 실리콘막(폴리실리콘막)을 얻는다. 결정화 수단으로서는 특개평 7-130652호 공보에 기재된 기술을 이용한다. 상기 공보에 기재된 기술은, 비정질 실리콘막에 대하여 촉매 원소(대표적으로는 Ni)를 첨가하여 결정화를 조장하는 것이다.

또, 상기 공보에서는 비정질 실리콘막의 전면에 촉매 원소를 첨가하는 수단과, 선택적으로 첨가하는 수단을 개시하고 있고, 기본적으로는 어느 쪽을 사용하는 것도 가능하지만, 후자를 이용하는 쪽이 결정의 성장 방향의 제어성에 우수하므로 바람직하다. 따라서, 본 실시예에서는 후자를 이용한 경우에 대하여 설명한다.

우선, 비정질 실리콘막(202)을 성막하면, Ni(니켈)을 선택적으로 첨가하기 위한 산화 규소막으로 형성되는 마스크(203)를 형성한다. 산화규소막으로 형성되는 마스크(203)에는 패터닝에 의해서 개구부(204)가 다수 설치되어 있고, 개구부(204)의 1변은 적어도 10μm 이상 폭을 가지는 것이 바람직하다. 이것 이하에서는 나중의 촉매원소를 포함하는 용액을 도포하는 공정에서 표면 장력에 의해 개구부의 내부까지 용액이 도달하지 않을 우려가 생긴다. 여기에서는 도 2a에 있어서, 개구부(204)는 폭은 10 내지 20μm으로 하고, 그 길이는 지면과 수직인 방향을 향하여 수십 내지 수백μm의 길이로 할 수 있다.

다음에, 산소 분위기중에 있어서 UV 광을 조사하여, 비정질 실리콘막(202)의 노출 표면에 극히 얇은 산화막(도시하지 않음)을 형성한다. 이 산화막은, 나중에 결정화를 조장하는 니켈을 도입할 때의 용액 도포 공정에서 용액의 습성을 개선하기 위한 것이다. 또, 결정화를 조장하는 촉매 원소로서는, Ni 이외에도 Fe, Co, Sn, Pd, Pb, Pt, Cu, Au 등의 원소를 사용할 수 있다.

다음에, 소정의 농도(본 실시예에서는 중량환산으로 100ppm)로 니켈을 함유한 니켈질산염(또는 니켈아세트산염) 용액을 적하하여, 스프인코트법에 의하여 니켈을 함유한 얇은 수막(205)을 형성한다. 비정질 실리콘막(202)중에 첨가하는 니켈 농도는 용액 도포 공정에서 니켈염 용액의 농도를 조절함으로써 용이하게 제어할 수 있다. (도 2b)

다음에, 불활성 분위기 또는 수소를 포함하는 분위기중에 있어서 500 내지 700℃, 대표적으로는 550 내지 650℃의 온도에서 4 내지 8시간의 가열 처리를 더하여 비정질 실리콘막(202)의 결정화를 행한다. 결

정화는 막중의 니켈이 핵이 되어 진행한다고 생각된다. (도 2c)

비정질 실리콘막(202)의 결정화는 니켈을 첨가한 개구부(204)로부터 우선적으로 진행하며, 개구부(204)의 아래에는 제 1 결정 영역(206)이 형성된다. 또한, 니켈의 확산에 의해 마스크(203)의 아래에는, 기판(201)과 대략 평행하게 성장한 막대 형상 또는 편평 막대 형상 결정으로 구성되는 제 2 결정 영역(207)이 형성된다. 208은 상호 역방향으로부터 성장하여 온 제 2 결정 영역(207)이 충돌하여 형성된 입계이다.

본 발명에서는 이 제 2 결정 영역만을 결정 실리콘막으로서 이용한다. 즉, 개구부(204)의 배치에 의해서 비정질 실리콘막(202)의 결정화 영역(제 2 결정 영역(207)), 충돌에 의한 입계(208) 등의 위치를 제어할 수 있기 때문에, 종래의 폴리 실리콘막과 같이 결정 입계가 TFT 특성에 영향을 주는 일이 없다.

다음에, 산화 규소막으로 형성되는 마스크(203)를 제거한후, 얻어진 결정 실리콘막(207)을 패턴닝에 의해서 성형상으로 가공하여 도 2d에 도시하는 바와 같은 다수의 활성층(209)을 형성한다.

결정 실리콘 막으로 형성되는 활성층(209)을 형성하면, 활성층(209)상에 산화 규소막으로 형성되는 게이트 절연막(210)을 성막한다. 게이트 절연막(210)의 성막 방법은, 플라즈마 CVD법, 열CVD법, 스퍼터법 등의 기상법을 사용하면 된다. 또한, 산화규소막 대신에 질화 규소막이라든지 산화 질화 규소막을 사용하거나, 그 절연막을 적층하여 사용해도 상관 없다.

이 게이트 절연막(210)의 막 두께는 TFT를 이용할 목적(사용하는 회로 등)에 따라서, 즉 필요로 하는 특성에 따라서 결정하면 좋다. 또, 최종적으로 필요로 하는 게이트 절연막의 두께가 500 Å 이하가 되는 경우, 게이트 절연막(210)을 성막해 두고, 나중의 열산화 공정에서 얻어지는 열산화막만을 게이트 절연막으로서 이용하는 것도 가능하다.

다음에, 할로겐 원소를 포함하는 분위기에 있어서 가열처리를 행한다. 이 가열 처리는 할로겐 원소에 의한 금속원소의 게터링 효과를 이용하여, 활성층(209)중의 금속 원소(특히 니켈)를 제거하는 것을 제 1로 겨냥한 촉매 원소의 게터링 프로세스이다.

이 게터링을 위한 가열 처리는 그 효과를 얻기 위해서 700℃를 초과하는 온도에서 행하는 것이 바람직하다. 그 이하의 온도에서는 게이트 절연막(210)이 블로킹층이 되어 충분한 게터링 효과가 얻어지지 않을 우려가 있다.

그 때문에, 이 가열처리는 700℃를 넘는 온도에서 행하며, 바람직하게는 800 내지 1000℃(대표적으로는 950℃)로 하고, 처리 시간은 0.1 내지 6시간, 대표적으로는 0.5 내지 1시간으로 하면 충분한 게터링 효과를 얻을 수 있다.

또, 여기에서는 산소(O<sub>2</sub>) 분위기중에 대하여 염화수소(HCl)을 0.5 내지 10부피% (본 실시예에서는 3부피%)의 농도로 함유시킨 분위기중에 있어서, 950℃, 30분의 가열처리를 행하는 예를 나타낸다. HCl 농도를 상기 농도 이상으로 하면, 활성층(209)의 표면에 막 두께와 같은 정도의 요철이 생기기 때문에 바람직하지 못하다.

또한, 상술한 산화성 분위기중에 고농도의 질소(N<sub>2</sub>)를 섞은 분위기로 함으로써 결정 실리콘막의 산화 속도를 저하시킬 수 있다. 열산화 반응을 필요 이상으로 진행시키지 않고서 게터링 시간을 늘리는 경우에 유효한 수단이다.

또한, 할로겐 원소를 포함하는 화합물로서 HCl 가스를 사용하는 예를 나타내었지만, 그 이외의 가스로서, 대표적으로는 HF, NF<sub>3</sub>, HBr, Cl<sub>2</sub>, ClF<sub>3</sub>, BCl<sub>3</sub>, F<sub>2</sub>, Br<sub>2</sub> 등의 할로겐을 포함하는 화합물로부터 선택된 1종 또는 다수종을 사용할 수 있다. 또한, 일반적으로 할로겐의 수소 화물 또는 유기물(탄수소화물)을 사용하는 것도 가능하다.

이 공정에 있어서는 활성층(209)중에 첨가된 니켈이 할로겐 원소(여기에서는 염소)의 작용에 의하여 게터링되며, 휘발성의 염화니켈이 되어 대기중으로 이탈하여 제거된다고 생각된다. 그 때문에, 활성층(211)중의 니켈의 농도는  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 이하로까지 감소된다. 또, 본 명세서에서의 불순물 농도는 SIMS 분석에서 얻어진 계측치의 최소치로 정의된다.

따라서, 도 2e에 도시하는 할로겐 원소를 포함하는 분위기에 있어서의 가열처리에 의해서 활성층(211)중의 니켈은 다바이스 특성에 영향을 주지 않는 정도( $1 \times 10^{17}$  atoms/cm<sup>3</sup> 이하, 바람직하게는 활성층 중의 스펙 밀도 이하)까지 감소되어, 극히 트랩 밀도가 작은 활성층을 얻을 수 있다.

또한, 게터링 공정을 행한 경우, 활성층(209)중에는 게터링 처리에 사용한 할로겐 원소가  $1 \times 10^{15}$  내지  $1 \times 10^{20}$  atoms/cm<sup>3</sup>의 농도로 잔존한다. 그 때, 활성층(209)과 가열처리에 의해 형성되는 열산화막의 사이에 고농도로 분포하는 경향이 SIMS 분석에 의해서 확인되고 있다.

이상과 같은 공정에서 얻어진 활성층(211)은 특이한 결정 구조체가 된 결정 실리콘 막으로 구성되어 있다. 여기에서 상기 공정에 따라서 형성한 결정 실리콘막을 25만배로 확대한 TEM 사진을 도 3에 도시한다. 도 3에 도시하는 바와 같이, 상기 공정에서 얻어지는 결정 실리콘막은 이하에 나타내는 바와 같은 특징을 가지고 있다.

- (1) 결정 격자의 구조가 거의 특정 방향으로 연속적으로 연속되어 있다.
- (2) 가는 막대 형상(또는 기둥상) 결정 혹은 가는 편평 막대 형상 결정으로 성장하고 있다.
- (3) 다수의 막대 형상 또는 편평 막대 형상 결정은 상호 평행 또는 거의 평행하게, 또한, 방향성을 갖고 성장하고 있다.

도 3에 도시하는 사진을 보면, 예를 들면 좌측하부로부터 우측상부로의 경사 방향에 0.15μm 정도의 폭

이 가는 막대 형상 결정이 연장되어 있고, 양 쪽 끝가장자리에는 명확한 경계(결정입계)를 확인할 수 있다(사진에 보이는 선형상 등의 농담은 결정면의 방향의 차이에 의한다). 또한, 다수의 막대 형상 결정이 서로 대략 평행한 방향으로 결정 성장하고 있는 사실에서, 다수의 결정입계도 거의 평행하게 연장되고 있는 것을 확인할 수 있다. 이 결정입계는 캐리어(전자 또는 정공)에 있어서 에너지 장벽이 되기 때문에, 캐리어는 우선적으로 막대 형상 결정의 내부만을 이동한다고 생각된다.

또, 활성층(211)은 상기 할로겐 원소를 포함하는 700℃를 넘는 온도에서의 가열처리에 의해서 현저히 결정성이 개선되며, 또한, 금속 원소가 문제가 되지 않을 정도까지 게터링 제거되고 있다. 그 때문에, 막대 형상 결정의 내부는 결정 격자가 연속적으로 연속되어 있으며, 캐리어에 있어서 실질적으로 단결정이라고 간주할 수 있는 영역으로 되어 있다고 생각된다.

또한, 결정 격자가 연속적으로 연속된다 것은 막대 형상 결정의 내부에 실질적으로 결정입계가 존재하고 있지 않거나, 또는 존재한다고 하더라도 전기적으로 불활성인 상태를 가리킨다. 본 발명자들은, 활성층(211)을 이용한 TFT의 전기 특성(후술한다)의 결과로부터, 결정입계가 존재하고 있더라도 {111}쌍정립계, {111} 적층결함, {221} 쌍정립계 등의 전기적으로 불활성인 입계의 가능성이 높다고 추찰하고 있다.

또한, 상기 가열처리에 의해 활성층(211)과 게이트 절연막(210)의 계면에서는 열산화 반응이 진행하며, 형성된 열산화막(212)의 분만큼 게이트 절연막(210)의 전체 막 두께는 증가한다. 그로 인해, 열산화막의 형성분에 비례하여 활성층(211)은 박막 화된다. 활성층의 박막화는 TFT의 오프 전류의 감소, 전계 효과 이동도의 향상 등의 효과를 촉진한다. 또한, 상기 할로겐 분위기에 있어서의 가열처리를 행한 후에, 질소 분위기중에서 950℃ 1시간 정도의 가열처리를 함으로써, 게이트 절연막(210)의 막질의 향상과 동시에, 극히 양호한 반도체/절연막 계면이 실현된다.

(본 발명에서 필요로 하는 TFT에 대하여)

이상과 같은 활성층(211)을 이용하여 TFT를 제작하면, 도 4에 도시하는 바와 같은 전기 특성이 얻어진다(TFT의 제작공정에 대해서는 뒤의 실시예로 미룬다). 도 4에 도시하는 것은 횡축에 게이트 전압( $V_g$ ), 종축에 드레인 전압( $I_d$ )의 대수를 취하여 플롯한 N 채널형 TFT의  $I_d$ - $V_g$  곡선( $I_d$ - $V_g$  특성)이다.

도 4에 있어서, 401은 상기 공정에서 얻어진 활성층을 이용한 TFT의 전기 특성이고, 402는 종래의 TFT의 전기 특성을 나타내고 있다. 구체적으로는 402는 상기 공정에서 할로겐 원소를 포함하는 분위기에 있어서의 가열처리와 그 후의 질소 어닐을 삭제한 프로세스로 제작된 TFT의 전기 특성이다.

양방의 트랜지스터 특성을 비교하면, 우선 동일한 게이트 전압이라도 401로 나타나는 특성의 쪽이 2 내지 4 자릿수 가깝게 큰 온 전류가 흐르는 것을 확인할 수 있다. 또, 온 전류란 TFT가 온 상태(도 4에서 게이트 전압이 약 0 내지 5V의 범위)에 있을 때에 흐르는 드레인 전류를 가리킨다.

또한, 401로 나타나는 특성의 쪽이 우수한 서브스레숄드특성을 가지고 있는 것도 확인할 수 있다. 서브스레숄드 특성이란 TFT의 스위칭 동작의 급준성을 나타내는 파라미터이고, TFT가 오프상태로부터 온상태로 스위칭할 때의  $I_d$ - $V_g$  곡선의 상승이 급준할수록, 서브스레숄드 특성은 좋다고 말할 수 있다.

또, 대표적인 전기 측정 데이터로 본 발명의 TFT와 종래의 TFT를 비교하면, 다음의 사실을 확인할 수 있다.

(1) 402로 나타나는 특성의 서브스레숄드 계수가 350mV/decade 전후에 있는 것에 대하여, 401로 나타나는 특성의 서브스레숄드 계수는 80mV/decade 전후로 작다. 이 값이 작은 TFT일수록 스위칭 성능에 우수하다.

(2) 전계 효과 이동도는 402로 나타나는 특성으로 80cm<sup>2</sup>/Vs전후인데 대하여, 401로 나타나는 특성으로서는 250cm<sup>2</sup>/Vs 전후로 크다. 전계 효과 이동도가 큰 TFT일수록 동작 속도가 빠르며, 즉 고주파 구동이 가능하다.

이상과 같이, 본 발명의 TFT는 극히 우수한 스위칭 특성 및 고속 동작 특성을 가지고 있고, 도 1에 도시하는 바와 같은 논리 회로(105)를 형성할 수 있는 고속 동작이 가능하다. 즉, 고주파 구동 회로와 저주파 구동 회로를 시스템화한 도 1에 도시하는 바와 같은 액티브 매트릭스 디스플레이를 실현하기 위해서는, 폭 넓은 구동 주파수 영역에 대응할 수 있는 본 발명의 TFT가 필요하다.

또한, 상술한 바와 같은 TFT는 N 채널형 TFT와 P 채널형 TFT에서 전기 특성의 차가 매우 작은 특징이 있다. 예를 들면, 본 발명자들이 실제로 시작하여 측정한 결과에 의하면, 한계치 전압은 N 형에서 -0.5 내지 1.5V, P 형에서 -1.5 내지 0.5V가 얻어지고 있다. 또한, 서브스레숄드 계수(S 치)는 N 형, P 형 모두 60 내지 100mV/decade(대표적으로는 60 내지 85mV/decade)가 얻어지고 있다. 또한, 전계 효과 이동도( $\mu_{FE}$ )는 N 형에서 평균하여 200 내지 250cm<sup>2</sup>/Vs, P 형에서 150 내지 200cm<sup>2</sup>/Vs의 값이 얻어지고 있다.

이와 같이, 본 발명자들이 발명한 상술한 TFT는 N 채널형 TFT와 P 채널형 TFT로 거의 동등한 성능을 가지고 있고, CMOS 구조를 구성하더라도 동작 성능의 치우침에 의하는 오류 동작의 발생이라든지 동작 속도의 저하를 초래하는 것은 아니다. 즉, 극히 높은 TFT 특성을 그대로 활용할 수 있다.

이 점에 관하여, 본 발명자들이 본 발명의 TFT를 이용하여 시작한 9단의 링오실레이터의 측정 결과에 의하면, 전원 전압3.3V에서 약 450MHz, 5.0 V에서 약 540MHz의 발진 주파수를 기록하고 있다. 이들 값은, 레퍼런스로 한 종래의 TFT로 구성한 링오실레이터와 비교하여 20 내지 30배의 고속 동작이 실현되고 있는 것을 뜻하고 있다.

여기에서 본 발명의 TFT에서 주목하여야 할 점이 있다. 종래 예에서는 TFT의 동작 속도를 올리기 위해서 채널 길이를 짧게 하면, 단채널 효과에 의해서 TFT 특성이 열화하는 것을 서술하였다. 그러나, 상술한 본 발명의 TFT는 채널 길이가 2μm로 짧은 데도 불구하고, 극히 높은 동작 속도와 높은 드레인 내압



을 가지고, 가속 시험에 의한 평가에서 신뢰성이 높은 TFT라는 것이 확인되어 있다.

본 발명자들은 그 이유로서, 특이한 결정 구조체로 형성되는 본 발명의 실리콘 박막이 그 구조상의 이유로 단채널 효과를 효과적으로 억제하고 있다고 추찰하였다. 또, 단채널 효과란 채널 길이의 감소에 따라 생기는 한계치 전압의 저하, 드레인 내압의 열화, 서브스렛홀드 특성의 열화 등의 총칭이고, 기본적으로는 드레인 영역측의 공핍층이 소스 영역에까지 넓어짐으로써 생기는 펀치스루 현상에 기인한다. 단채널 효과에 관한 상세는 「VLSI 디바이스의 물리: 고야나기미즈 마사기타; 마루젠; 1986」을 참고로 하면 좋다.

여기에서 본 발명의 TFT의 활성층 부근을 상면에서 본 도면을 도 5a에 도시한다. 도 5a에 있어서 501은 활성층, 502는 게이트 전극이고, 활성층(501)은 다수의 막대 형상 결정(503), 결정입계(504)를 포함하여 구성된다. 또한, 활성층(501)은 소스 영역/ 채널 형성 영역/ 드레인 영역의 구성으로 기능한다.

또한, 505에서 나타나는 화살표는 캐리어가 이동하는 방향(결정입계(504)와 대략 평행한 방향)을 나타내고, 채널 길이 방향이라고 정의한다. 또한, 506에서 나타나는 화살표는 채널 길이 방향으로 수직인 방향(결정입계(504)에 대하여 대략 직교하는 방향)이라고, 채널폭 방향이라고 정의한다. 또한, 507을 채널 길이(L), 508을 채널폭(W)로서 정의한다. 또, 채널 길이(507)는 게이트 전극(502)의 선폭에 거의 일치하지만, 게이트 전극(502)의 표면에 양극 산화막이 형성되어 있는 경우와 같이, 실질적으로 전극으로서 기능하지 않는 영역이 있는 경우는 반드시 일치하지 않는다.

본 발명자들은, 본 발명에 의한 TFT의 드레인 내압이 높은 이유로서 도 5a의 결정입계(504)의 영향을 중시하였다. 즉, 본 발명자들은 채널 형성 영역에 있어서 채널 길이 방향(505)과 거의 평행하게 존재하는 결정입계(504)에 의한 에너지 장벽이 드레인 영역에서의 공핍층의 확장을 효과적으로 억제하여, 펀치스루 현상의 발생을 방지하고 있다고 추측하였다.

그 모양을 도 5b에 간략화하여 도시한다. 도 5b는 도 5a를 채널 길이 방향으로 절단한 단면도를 나타내고 있다. 도 5b에 있어서, 509는 소스 영역, 510은 드레인 영역, 511은 채널 형성 영역, 512가 게이트 절연막이고, 513은 공핍층을 나타내고 있다. 본 발명자들의 추측에 의하면, 513으로 나타나는 공핍층은 결정입계(504)에 기인하는 에너지 장벽에 의해서 막대 형상 결정(503) 내부로의 진행을 억제하며, 채널 형성 영역(511)의 내부(514로 나타나는 영역)로 침입할 수 없다고 생각된다.

즉, 종래의 실리콘 박막을 사용한 TFT이면 단채널 효과의 영향이 나타나는 상태, 즉 채널 길이(507)가 극히 작은 서브마이크론(0.01 내지 2 $\mu$ m) 영역에 있어서도, 도 5b에 도시하는 바와 같이 공핍층의 확장을 억제할 수 있기 때문에 단채널 효과를 효과적으로 억제할 수 있다고 생각된다.

또한, 도 5c는 도 5a를 채널폭 방향으로 절단한 단면도를 나타낸다. 도 5c에 도시하는 바와 같이, 활성층(501)은 다수의 막대 형상 결정(503)이 나란한 상태에서 구성되어 있으며, 진성 또는 실질적으로 진성인 막대 형상 결정(503)이 다수집합함으로써 채널 형성 영역이 형성되어 있다. 즉, 다수의 막대 형상 결정(503)의 각각은 결정입폭(d) (515로 나타낸다)을 가진 미소한 채널 형성 영역이라고 보여진다. 그 때문에, 각각의 막대 형상 결정(503)에 있어서, 협채널 효과가 생긴다고 본 발명자들은 추찰하고 있다.

그런데, 협채널 효과란 채널폭이 좁게 되었을 때에 TFT의 경계치 전압이 증가하는 현상이고, 본 발명의 실리콘 박막으로서는 가는 막대 형상 결정의 각각에 있어 생긴 협채널 효과에 의해서, 단채널 효과에 의한 한계치 전압의 저하가 상쇄되어 있다고 생각된다.

이 협채널 효과는 채널 형성 영역의 단부에 에너지 장벽이 높은 영역이 존재하는 것으로 한계치 전압이 전체적으로 증가하는 것이며, 박막의 경우에는 기판에 대하여 수평인 방향과 수직인 방향의 2방향에서 생긴다고 생각된다. 그 때문에, 실제의 캐리어는 에너지 장벽이 낮은 영역을 우선적으로 이동한다.

또한, 캐리어의 이동에 관하여, 본 발명의 실리콘 박막은 결정입계(504)와 평행하게 이동하는 캐리어와 수직으로 이동하는 캐리어로 그 거동이 다른, 즉 특이성을 가지는 특징이 있다. 예를 들면, 캐리어가 이동하는 방향과 채널 길이 방향(505)이 대략 일치하는 것은 TFT의 전계 효과 이동도를 향상시키는 데에 있어서 매우 유효하다. 그 이유로서 다음의 사실이 생각된다.

TFT의 전계 효과 이동도는 실리콘막중에 있어서의 캐리어의 산란에 의해서 결정되지만, 대별하여 격자산란과 불순물산란이 있다. 이 때, 일상생활에서 사용하는 온도 범위에서는 특히 불순물 산란의 영향이 지배적이게 된다. 본 발명은 이것에 대하여 이하의 이점을 가지고 있다.

(1) 캐리어가 이동하는 기동상 결정의 내부는 실질적으로 단결정이라고 간주할 수 있는 영역이며, 또한, 진성 또는 실질적으로 진성이기 때문에, 캐리어의 이동을 저해하는 불순물은 존재하지 않는다고 생각하면 된다.

(2) 도 5a에 도시하는 바와 같은 상태에 있어서, 결정입계(504)가 에너지적인 장벽이 되어 캐리어가 이동하는 방향을 막대 형상 결정(503)이 연장하는 방향과 거의 동일 방향으로 규정하기 때문에, 캐리어끼리의 충돌에 의한 산란의 확률이 감소된다.

또한, (1)에 있어서, 진성 또는 실질적으로 진성이라는 것은 이하의 조건 중, 적어도 하나를 만족하는 것을 의미한다.

- ① 실리콘막의 활성화 에너지가 거의 1/2 (페르미 레벨이 금제체의 거의 중앙에 위치한다)이다.
- ② 스핀 밀도보다도 불순물 농도가 낮은 영역이다.
- ③ 의도적으로 불순물을 첨가하지 않는 연도프인 영역이다.
- ④ intrinsic(본질적)인 영역이다.

예를 들면, 종래의 실리콘 박막을 사용한 TFT는 단채널 효과의 억제 수단으로서는 채널도프가 일반적이지만, 이 수단으로서는 채널 형성 영역에서의 불순물 농도가 증가하여 캐리어의 이동이 저해되며, TFT의

동작 속도(전계 효과 이동도)가 악화된다. 그런데, 상술한 바와 같이 본 발명의 TFT는 실리콘 박막 자체에 단채널 효과를 억제하는 효과가 있기 때문에, 진성 또는 실질적으로 진성인 채널 형성 영역을 형성하는 것이 가능한 것이다.

또한, 반대로 결정입계(504)가 캐리어의 이동을 저해하는 에너지 장벽이 되므로, 이것과 직교하는 방향(채널쪽 방향)으로 이동하는 캐리어의 이동도는 극히 작은 것으로 된다.

또한, 상술과 같이 드레인측 공지층의 확장을 억제함으로써 단채널 효과를 방지하는 것이 가능하게 생각되지만, 단채널 효과를 방지함으로써 드레인 내압의 향상과 함께 서브 스렛슬드 특성의 향상도 요구된다. 서브 스렛슬드 특성의 향상은 본 구성을 사용함으로써 드레인측 공지층이 차지하는 부피를 저감할 수 있다고 하는 추론으로부터 이하와 같이 설명할 수 있다.

본 발명자 등의 추찰에 의하면, 도 5b에 도시된 바와 같이 효과적으로 공지층의 확장이 억제됨으로써 드레인측의 공지층이 차지하는 부피를 대폭 저감할 수 있게 된다. 따라서, 종합적인 공지층 전하를 작게 할 수 있기 때문에, 공지층 용량을 작게 할 수 있다고 고려된다. 여기에서, 서브 스렛슬드 계수(S)를 도출하는 식은 다음 근사식으로 나타난다.

$$S \approx 10kT/q [1 + (Cd + Cit)/Cox]$$

수학식 1에 있어서, k는 볼츠만 정수, T는 절대온도, q는 전하량, Cd는 공지층 용량, Cit는 계면 준위의 등가 용량, Cox는 게이트 산화막 용량이다. 따라서, 본 구성에서는 공지층 용량(Cd) 및 계면 준위의 등가 용량(Cit)을 극히 작게 함으로써 Cd=Cit=0이 되는 이상 상태, 즉 S값이 60mV/decade로 되는 TFT를 실현할 수 있는 것이다.

이상은 본 발명자 등이 실제로 얻은 특이한 결정 구조체로 형성된 실리콘 박막과, 그것을 사용하여 실제로 시작한 TFT의 전기 특성을 결부시키는 추찰이 분명하다. 그러나, 실험 데이터는 사실이고, 종래의 실리콘 박막을 사용한 TFT와는 마치 다른 우수한 성능을 갖는 것은 앞에서도 기술된 바와 같다.

그리고, 본 실시예에서 예시된 바와 같은 전기 특성 및 효과를 갖는 TFT야말로 고주파 구동과 저주파 구동에도 대응할 수 있는 회로를, 종래의 채널 도프와 같은 특별한 연구를 요하지 않고 동일 기판상에 구성하는 것이 가능하게 된다. 즉, 본 실시예에 예시된 실리콘 박막을 얻음으로써, 도 1에 도시된 바와 같은 액티브 매트릭스 디스플레이를 구성하는 것이 가능하게 된 것이다.

#### [실시예 2]

본 실시예에서는 도 1에 도시된 액티브 매트릭스 디스플레이에 있어서의 소스선 드라이버 회로(103), 게이트선 드라이버 회로(104), 논리회로(105)를 구성하기 위한 기본 구조가 되는 CMOS 구조의 단면도를 도 6a에, 화소 매트릭스 회로(102)를 구성하는 화소(TFT111) 및 화소영역(110)의 단면도를 도 6b에 도시한다. 또, 본 실시예에서 예시된 구조는 일 실시예에 지나지 않고, 본 발명을 한정하는 것이 아니다.

우선, N 채널형 TFT(601)와 P 채널형 TFT(602)를 상보적으로 조합시킨 CMOS 구조에 대하여 설명한다. 또, N 채널형 TFT(601)와 P 채널형 TFT(602)와는 기본적으로는 동일한 구조이다.

도 6a에 있어서, 603은 석영기판, 604, 606은 각각 N 채널형 TFT의 소스영역 및 드레인 영역, 605, 607은 각각 P 채널형 TFT의 것은 소스영역 및 드레인 영역이다. 또한, 608, 609는 각각 N 채널형 TFT 및 P 채널형 TFT에 배치되는 한 쌍의 저농도 불순물 영역, 610, 611은 각각 N 채널형 TFT 및 P 채널형 TFT의 채널 형성 영역이다.

또한, 612, 613은 게이트 절연막, 614, 615는 게이트 전극이고, 게이트 전극(614, 615)의 상면 및 측면에는 게이트 전극을 양극 산화하여 얻게 되는 조밀한 양극 산화막(616, 617)이 형성되어 있다.

또한, 618은 제1 층간 절연막, 619, 620은 소스선, 621은 드레인선이고, 그 위에는 제2 층간 절연막(622), 제3 층간 절연막(623), 제4 층간 절연막(624)이 형성되어 있다.

이 때, 제2 층간 절연막(622)은 화소영역에 있어서 보조용량을 구성하는 절연체로 되기 때문에, 질화규소막이나 산화규소막 또는 그들의 적층막으로 구성하는 것이 바람직하다. 또한, 제3 층간 절연막(623) 및 제4 층간 절연막(624)은 기생용량의 감소와 평탄화 효과를 거둬, 비유전율이 낮게 용이하게 평탄화가 가능한 유기성 수지재료(예를 들면 폴리이미드, 아크릴 등)이 바람직하다.

다음에, 도 1에 있어서의 화소영역(110) 및 화소 TFT (111)의 단면 구조에 관해 도 6b를 참조하여 설명한다. 또, 도 6a의 CMOS 구조와 도 6b의 화소 TFT(630)는 동일기판상에 일체로 형성되기 때문에, 기본적으로 동일층은 동일재료로 형성된다.

또한, 본 실시예에서는 화소 TFT로서, 1개의 게이트 전극으로 구성된 N채널형 TFT를 실질적으로 직렬로 3개 접속한 구성을 갖는 트리플 게이트형 TFT를 채용한 경우의 예를 나타낸다.

도 6b에 있어서, 631은 석영기판, 632는 소스영역, 633은 드레인 영역, 634 내지 636은 채널 형성 영역이다. 또, 채널 형성 영역(634 내지 636)의 각 양단부에는 한 쌍의 저농도 불순물 영역(637)이 배치되지만, 활성층의 기본 구조는 도 6a에 도시된 싱글 게이트형 TFT도 도 6b에 도시한 트리플 게이트형 TFT도 동일하기 때문에 상세한 설명은 생략한다. 물론, 도 6b에 도시된 활성층은 도 6a의 N채널형 TFT의 활성층과 동시에 형성된다.

다음에, 638 내지 640으로 나타내는 것은 게이트 절연막이고, 도 6a에 있어서의 게이트 절연막(612, 613)과 동시에 형성된다. 또한, 641은 게이트 전극, 642는 게이트 전극을 양극 산화하여 형성되는 조밀한 양극 산화막이고, 게이트 전극(641)은 3개 있는 것처럼 보이지만, 실제로는 모두 동일 배선이다. 또한, 게이트 전극(641), 양극 산화막(642)은 각각 도 6a에 있어서의 게이트 전극(614, 615), 양극 산화막(616, 617)과 동시에 형성된다.

다음에, 643은 제1 층간 절연막, 644는 소스선, 645는 접속배선, 646은 소스선(644)과 인접하는 다른 소

스션이다. 소스션(644, 646), 접속배선(645)은 도 6a에 있어서의 소스션(619, 620), 드레인션(621)과 동일한 층으로 구성된다. 본 실시예의 구성에서는 도 6b에 도시된 바와 같이 접속배선(651)을 길게 형성해 두고, 뒤에 형성되는 보조용량의 면적을 넓도록(용량을 번다) 한다.

또한, 647은 제2 층간 절연막, 648은 제3 층간 절연막이고, 각각 도 6a에 있어서의 제2 층간 절연막(622), 제3 층간 절연막(623)과 동시에 형성되는 층이다. 또한, 제3 층간 절연막(648)은 649로 나타내는 영역에서 제거되고, 그 위에 블랙 마스크(650)가 형성된다. 따라서, 649로 나타내는 영역에서는 접속배선(645)과 제2 층간 절연막(647)과 블랙 마스크(650)의 적층구조로 형성되는 보조용량(651)이 형성된다.

보조용량(651)을 도 6b에 도시된 바와 같은 구성으로 하면, 보조용량의 캐패시턴스(용량)가 제2 층간 절연막(647)으로 결정되기 때문에, 비유전율이 높은 재료를 사용하는 것 혹은 막두께를 얇게함으로써 용량을 벌 수 있다. 예를 들면, 제2 층간 절연막(647)에서는 비유전율이 높은 절연막이 바람직하다. 또한, 그 막두께는 100 내지 300 Å의 두께가 적당하다.

다만, 보조용량(651)을 형성하기 위해서는 649로 나타내는 영역에서 제2 층간 절연막(647)만을 남겨두고 제3 층간 절연막(648)을 제거해야만 하기 때문에, 제2, 제3 층간 절연막은 각각 에칭의 선택성을 채용하지 않으면 안된다. 그 같은 의미로, 제2 층간 절연막(647)에서는 산화규소막 또는 산화규소막과 질화규소막의 적층막이 유효하다.

다음에, 블랙 마스크(650)는 제4 층간 절연막(652)으로 덮여지고, 그 위에는 화소전극(653)이 형성된다. 이 때, 화소전극(653)은 접속배선(645)을 통해 드레인 영역(633)과 전기적으로 접속한다. 이 때문에, 보조용량(651)은 화소전극(653)에 대하여 직렬로 접속된 용량으로 간주할 수 있다. 또, 제4 층간 절연막(652)은 도 6a에 있어서의 제4 층간 절연막(624)과 동일층이다.

654로 나타내는 기판은 대향전극(655)을 형성한 대향기판으로서, 액티브 매트릭스 기판(631)과 대향기판(654)을 접합함으로써 액정층(656)을 끼워넣어, 도 1에 있어서의 액정셀(112)이 형성된다.

다음에, 도 7을 참조하여 화소영역(110)의 상면도를 설명한다. 또, 도 7에 있어서는 화소전극(714)보다도 상층(액정층이나 대향기판 등)을 도시하지 않았지만, 기본적으로는 A-A'로 나타내는 점선으로 절단된 단면도가 도 6b에 상당한다.

도 7에 있어서 701, 702는 활성층, 703, 704는 게이트선, 705, 706은 소스션이다. 실제로는 여러개의 소스션과 게이트 배선이 직교하도록 배치되며, 소스션과 게이트선으로 둘러싸인 다수의 매트릭스형상으로 배치된 영역이 도 1에 있어서의 화소영역(110)으로서 기능한다. 또한, 게이트 배선(704)은 도 6b의 게이트 전극(641)에, 소스션(705, 706)은 각각 도 6b의 소스션(644, 646)에 상당한다.

또한, 활성층(702)의 상방에서는 3곳에서 게이트선(704)이 중첩된다. 즉, 3개의 화소 TFT를 직렬로 접속하도록한 구조로 된 트리플 게이트형 TFT이 구성된다. 물론, 여기에서는 일례로서 트리플 게이트형 TFT의 예를 나타내었지만, 싱글 게이트형 TFT이라고 상관없다.

또한, 게이트 배선(705, 706)을 활성층(701, 702)보다도 하층에 배치하여 역스태거형 TFT와 같은 구조로 하는 것도 가능하다. 그 경우, 실리콘 박막의 제작 과정에서 행해지는 도 2a와 같은 가열 처리에도 견딜 수 있도록, 게이트 전극으로서는 폴리실리콘막과 같은 내열성이 높은 재료를 사용하는 것이 바람직하다.

다음에, 707은 활성층(702)(소스영역632)과 소스션(705)과의 콘택트부, 708은 활성층(702)(드레인 영역(633))과 접속배선(709)의 콘택트부, 710은 접속배선(709)과 화소전극(711)의 콘택트부이다. 접속배선(709)은 도 6b에 있어서의 접속배선(645)에 상당한다.

712의 사선으로 나타내는 영역은 도 6b에 있어서 650로 나타내는 블랙 마스크이고, 활성층(701, 702), 게이트 배선(703, 704), 소스션(705, 706)의 위를 차폐하도록 하여 형성된다. 또한, 블랙 마스크(712)는 713으로 나타내는 영역(도 6b)에 있어서의 649로 나타내는 영역)에 있어서 접속배선(709)과 중첩되어, 접속배선(709) 사이에 보조용량을 형성한다.

또한, 블랙 마스크(712)상에는 제2 층간 절연막(652)을 통해 화소전극(711)(도 6b)의 화소전극(653)에 상당한다)이 배치되어 있다. 화소전극(714)은 그 깊은 속부분이 반드시 블랙 마스크(712)에 의해서 차광되는 구성으로 하고, 블랙 마스크(712)와 중첩되지 않는 714로 나타내는 영역이 화상을 형성하는 화상 표시 영역이 된다. 또, 실제로는 화소전극(711)의 위에는 도 6b)에 도시된 바와 같이 대향기판(654), 대향전극(655), 액정층(656)이 배치되어 도 1에 도시된 액정셀(112)을 구성한다.

다음에, 도 6a에 도시된 CMOS 구조 및 도 6b에 도시된 화소 영역을 동일 기판상에 형성하기 위한 제작공정에 대하여, 도 8, 도 9를 참조하여 설명한다. 또, 대응관계를 명확히 하기 위해서 도 6a, 도 6b의 설명에서 이용한 부호를 필요에 따라서 이용한다.

우선, 석영기판(801)상에 실시예 1에 나타난 공정에 의해서 본 발명의 실리콘 박막으로 형성되는 활성층(802 내지 804) 및 위의 게이트 절연막의 원형이 되는 제1 절연막(805)을 형성한다. 이 때, 802가 N채널형 TFT(601)의 활성층, 803이 P 채널형 TFT(602)의 활성층, 603이 화소 TFT(630)의 활성층이 된다(도 8a).

이하에 기재되는 게이트 전극의 형성에서 이온 주입에 이르기까지의 공정은 본 발명자들에 의한 특개평 7-135318호공보에 기재된 기술에 의한 것이다. 따라서, 상세한 조건 등은 동공보를 참고로 하면 된다.

활성층(802 내지 804)의 상방에 알루미늄을 주성분으로 하는 재료로 형성되는 패턴을 형성한 후, 2번의 양극산화에 의해 다공질형상의 양극 산화막(806 내지 808) 및 조밀한 양극 산화막(616, 617, 642)을 형성한다. 또한, 양극 산화 공정 이후에, 게이트 전극(614, 615, 641)이 확정된다. 또한, 상술과 같이 화소 TFT(630)는 도 7과 같은 구성의 트리플 게이트형 TFT이기때문에 게이트 전극(641), 다공질형상의 양극 산화막(808), 조밀한 양극 산화막(642)은 도시되는 3개의 패턴 모두 공통이다.

이렇게 해서 도 8b에 도시된 상태를 갖게 되면, 게이트 전극 및 다공질형상의 양극 산화막을 마스크로서 제1 절연막(805)의 드라이 에칭을 행하여, 게이트 절연막(612, 613, 638 내지 640)을 형성한다.

그리고, 다공질형상의 양극 산화막(806 내지 808)을 제거하여, 고가속(P) 이온 주입 및 저가속(P) 이온 주입을 행한다. 이 공정에 의해서 N채널형 TFT(601)의 소스영역(604), 드레인 영역(606), 저농도 불순물 영역(LDD 영역이라고 부르는 경우도 있다)(608), 채널 형성 영역(610)이 형성된다. 또한, 화소 TFT(630)(N 채널형)의 소스영역(632), 드레인영역(633), 저농도 불순물 영역(637), 채널 형성 영역(634 내지 636)이 형성된다.

또, 이 때 P 채널형 TFT(602)의 활성층에도 P 이온이 첨가되어 상술의 소스영역(604), 드레인 영역(606)과 동농도의 P 이온을 포함한 영역(809, 810) 및 상술한 저농도 불순물 영역(608)과 동농도의 P 이온을 포함한 영역(811)이 형성된다.

다음에, P 채널형 TFT(602)만이 노출하도록 레지스트 마스크(812)를 설치하여, 고가속(B) 이온 주입 및 저가속(B) 이온 주입을 행한다. 이 공정에 의해서 도 8c에 있어서의 P 이온을 포함한 영역(809 내지 811)은 모두 P형으로 반전하여 P채널형 TFT(602)의 소스영역(605), 드레인 영역(607), 저농도 불순물 영역(609), 채널 형성 영역(611)이 형성된다(도 8d).

이상과 같은 이온 주입 공정을 이용하면, 1회의 패터닝공정만으로 N 채널형 TFT의 활성층과 P 채널형 TFT의 활성층을 동일 기판상에 형성할 수 있다. 특히, 본 실시예에서는 특개평 7-135318호 공보 기재의 기술과 조합하여 이용하고 있기때문에, 측벽을 형성하도록 한 특수한 공정을 필요로 하지 않음으로써 용이하게 저농도 불순물 영역을 형성할 수 있다.

또한, 이온 주입 공정 후에는 첨가된 불순물 이온의 활성화 및 이온 주입으로 흐트러진 활성층의 결정성의 수복을 행한다. 활성화 수단으로서는 퍼네스어닐, 레이저 어닐링, 램프 어닐링 등의 가열수단을 사용하면 된다.

다음에, 제1 층간 절연막(618)(또는 643)으로서 산화규소막을 형성하여, 콘택트홀을 형성한 후, 소스선(619, 620, 644, 646) 및 드레인선(621), 접속배선(645)을 형성한다. 그 후, 제2 층간 절연막(622)(또는 647)으로서 500Å 두께의 질화규소막 및 250Å 두께의 산화규소막의 순서대로 적층막을 형성한다.

또한, 제3 층간 절연막(623)(또는 648)으로서 폴리이미드를 0.5 내지 3μm(바람직하게는 1내지 1.5μm)의 두께로 형성한다. 또한, 제3 층간 절연막(623)에 있어서 649로 나타나는 영역에는 보조용량을 형성하기 위한 개구부를 설치해 둔다. 개구부의 형성은 드라이 에칭법에 의해 행하면 된다. 이 때, 제2 층간 절연막(622)의 산화규소막이 폴리이미드의 에칭 스톱퍼로서 기능한다(도 9a).

다음에, 블랙 마스크(650)로서 티타늄막을 2000Å의 두께로 형성하고, 동시에 보조 용량(651)이 형성된다. 또한, 제4 층간 절연막(624)(또는 652)으로서 폴리이미드를 0.5 내지 3μm(바람직하게는 1 내지 1.5μm)의 두께로 형성한다. 그리고, 콘택트홀을 형성한 후, 투명 전도막으로 형성되는 화소전극(653)을 형성한다.

이와같이, 제3 층간 절연막(623)및 제4 층간 절연막(624)을 유기성 수지재료(대표적으로는 폴리이미드, 아크릴, 폴리아미드 등)으로 형성하는 것은 본 발명에 있어서 중요한 요소이다. 유기성 수지재료의 가장 큰 특징은 비유전률이 낮은(2.0 내지 3.4 정도) 것이고, 이것에 의해 배선간의 기생 용량을 대폭 감소할 수 있다. 즉, 논리회로 등 고주파 구동을 필요로 하는 회로를 구성할 때에 동작 속도의 저하를 효과적으로 억제할 수 있다.

마지막에, 얻어진 TFT 전체를 수소 분위기에 있어서 가열처리하여 수소화를 행하여, 활성층 중의 불포화 결합의 감소를 도모한다. 이렇게 해서, 도 9b에 도시된 바와 같이, CM OS 구조 및 화소 TFT가 동일 기판상에 일체 형성된 액티브 매트릭스 디스플레이가 완성된다. 또, 완성된 TFT를 질화규소막 등의 패시베이션막으로 덮는 것은 TFT의 경시 열화를 방지하는 데에 있어서 유효하다.

### [실시예 3]

실시예 1에는 도 1에 도시된 액티브 매트릭스 디스플레이를 구성함에 있어서 본 발명자 등이 발명한 실리콘 박막이 필요한 것을 서술하고, 실시예 2에서는 실제로 그 실리콘 박막을 사용한 TFT로 구성되는 CMOS 구조 및 화소 TFT 구조 및 그 제작 공정에 대하여 설명하였다.

본 실시예에서는 도 1에 도시된 바와 같은 액티브 매트릭스 디스플레이에 본 발명의 TFT를 배치하는 경우를 상정하여, 용도별(회로 구성별)로 알맞은 회로 특성을 얻기 위한 구성에 대하여 설명한다.

본 실시예의 기본적인 주지는 논리회로마다 필요로 하는 구동능력이 다른 것을 참고하여, 논리마다 알맞은 특성 혹은 최저한 필요한 특성을 얻을 수 있도록 회로를 구성하는 TFT의 구조를 최적화하는 것에 있다. 그를 위한 수단에 대하여, 도 10a에 도시된 바와 같은 블록도로 나타내는 VGA(640×480 화소) 대응의 액티브 매트릭스형 액정 표시 장치를 구성한 경우를 상정하여 설명한다.

도 10a에 있어서, 11은 화소 매트릭스 회로, 12는 수평주사용 발진기, 13은 수평 주사용 시프트 레지스터, 14는 D/A 컨버터, 15는 수직 주사용 발진기, 16은 수직 주사용 시프트 레지스터, 17, 18은 버퍼이다. 여기에서는 디지털 구동을 염두에 둔 회로 구성으로 되어 있기 때문에, 수평 주사용 시프트 레지스터(13)에는 래치회로가 포함된다. 또한, 19는 위상 비교기(로우 패스 필터를 포함한다), 20은 전압 제어형 발진기, 21은 분주기, 22는 연산회로, 23은 메모리 회로이다. 또한, 24는 수평·수직 동기 신호, 25는 게조 표시를 위한 아날로그 신호, 26은 아날로그 신호(25)를 선택하기 위한 비트 신호(디지털 신호), 27은 외부로부터 보내온 화상 신호이다.

또, 도 1에 도시된 액티브 매트릭스 디스플레이에 있어서, 논리회로(105)에는 도 10a에 있어서의 수평 주사용 발진기(12), A/D 컨버터(14), 수직 주사용 발진기(15), 위상 비교기(19), 전압 제어형 발진기(20), 분주기(21), 연산회로(22), 메모리회로(23) 등의 모든 회로가 포함되어, 필요에 따라 적당

한 배치로 형성하면 된다.

도 10a에 도시된 바와 같은 블록도에 있어서, 각 기능을 갖는 전기회로(화소 매트릭스 회로, 드라이버 회로 및 논리회로)는 그 기능에 의해 다른 성능(특성)이 요구된다. 특히, 논리회로는 종래 IC에서 행해진 처리를 TFT에서 행하는 것이 되기 때문에, 구동 주파수(그 회로를 구동하기 위한 클럭 주파수 등)은 매우 높은 것까지 요구된다.

구동 주파수는 기본적으로는 빠르면 빠를수록 좋다고 할 수 있지만, 최대 구동 주파수는 회로를 구성하는 개개의 TFT의 성능이 크게 영향을 받기 때문에, 실시예 1에서 설명한 것과 같은 고속 구동이 가능한 TFT를 사용하는 것이 전제가 된다.

예를 들면, VGA인 경우, 수평·수직 동기 신호(24) 및 클럭 신호는 25MHz 정도이다. 즉, 화상 신호를 충실히 디스플레이에 재현하기 위해서는 수평 주사용 시프트 레지스터(13), 수직 주사용 시프트 레지스터(16)를 구동하는 클럭 주파수로서는 최저한으로 25MHz, 바람직하게는 50MHz 정도가 요구되기 때문에, 각 시프트 레지스터(13, 16)로부터 소스 신호나 게이트 신호를 받아들이는 D/A 컨버터(14), 버퍼(17, 18), 화소 매트릭스회로(11)도 모두 50MHz(0.05GHz) 정도의 구동 주파수가 필요하게 된다.

또한, 각 시프트 레지스터(13, 16)에 대하여 수평·수직동기신호(24)와 동기시키기 위한 클럭 신호를 발진하는 수평 주사용 발진기(12), 수직 주사용 발진기(15)는 시프트 레지스터(13, 16)의 수배의 구동 주파수가 필요하게 되기 때문에, 0.1 내지 0.5 GHz 정도의 높은 구동 주파수가 필요하게 되는 경우가 있다.

또한, 이 클럭 신호와 수평·수직 동기 신호(24)의 위상차를 보정하여 동기시키기 위한 기능은 위상 비교기(19), 전압 제어형 발진기(20), 분주기(21)에 따라서 행해진다. 그 때문에, 위상 비교기(19), 전압 제어형 발진기(20), 분주기(21)의 각각도 또한, 0.1 내지 0.5GHz 정도의 구동 주파수가 필요하게 된다.

또한, 도 10a의 블록도에 도시된 바와 같이, 연산회로(22)에 있어서 수평·수직 동기 신호(24)나 아날로그 신호(25)를 발진하는 구성으로 하는 경우, 연산회로(22)에는 극히 높은 구동주파수(0.2 내지 2GHz)가 요구될 수 있다. 그것과 동시에 화상신호를 일시적으로 기억해 두기 위한 메모리 회로(23)도, 연산회로(22)의 정보를 고속으로 행하기 위해서는 0.2 내지 2GHz의 구동 주파수가 필요하게 된다.

이상과 같이, 도 10의 블록도로 도시된 바와 같은 회로구성을 동일 기판상에 형성하기 위해서는 극히 폭 넓은 구동 주파수역에 대응할 수 있는 TFT를 실현해야만 한다. 그러나 본 발명의 경우에는 개개의 TFT의 주파수 특성이 이론적으로 채널 길이(L)의 2승의 역수에 비례하여 증가하는 것을 이용하여, 채널 길이의 제어에 의해 원하는 주파수를 얻을 수 있다.

물론, 채널 길이를 바꾸기만 해도 원하는 구동 주파수를 얻을 수 있는 특징은 본 발명에 사용하는 실리콘 박막이 그 특이한 결정 구조에 의해서 채널 도프법을 사용하지 않고 단채널 효과를 억제할 수 있기 때문에 얻게 되는 것이다.

그런데, 채널 길이(L)를 작게함으로써 주파수 특성의 향상을 도모하면, 한쪽에서 TFT의 드레인 내압이 문제가 된다. 이러한 문제는 드레인 부근에 이러한 전계를 약하게 함으로써 해결할 수 있다. 이 같은 경우, 고주파 구동을 시키면서 드레인 내압을 확보하기 위해서는 동작 전압(전원전압: VDD)을 내리어 드레인 접합에 주어지는 부담을 저감하는 것이 바람직하다. 그 때문에 한계치 전압을 내릴 필요가 있다.

종래는 단채널 효과에 의한 한계치 전압의 저하를 채널도프에 의해 억제했지만, 본 발명의 TFT인 경우에는 실리콘 박막에 생기는 협채널 효과에 의해 상쇄하고 있다. 그 때문에, 게이트 절연막의 막두께를 얇게 함으로써 용이하게 한계치 전압의 제어를 행할 수 있다.

그 경우에, 게이트 절연막의 막두께의 제어는 마스크를 이용하여 선택적으로 적층하는 방법이나, 이른바 LOCOS법과 같이 마스크를 사용하여 선택적으로 실리콘 박막을 산화하는 방법 등을 사용하면 된다.

따라서, 채널 길이(L) 및 게이트 절연막의 막두께(T)를 필요한 회로에 따라서 변화시킴으로써 원하는 구동 주파수 및 동작 전압에서의 동작을 행하게 하는 것이 가능하게 된다. 다만, 이 같은 본 실시예의 구성은 실시예 1에 예시된 본 발명의 TFT이아말로 가능한 것으로서, 종래의 TFT에서는 단채널 효과의 영향을 받게되어 본 구성을 실시하는 것이 대단히 곤란하다.

또한, 적절한 회로 설계를 행하기 위해서는 구동 주파수뿐만 아니라 필요로 하는 동작 전압도 고려해 두는 것이 필요하지만, 소비 전력은 동작전압(VDD)의 2승에 비례하여 증가하기 때문에, 기본적으로 동작 전압은 낮은 것이 바람직하다.

그러나, 도 10a에 있어서 화소 매트릭스 회로(11)를 구성하는 화소 TFT는 액정 재료의 임계치 전압(TN 재료로  $\pm 5V$ )와 화소 TFT 자신의 임계값 전압(마진을 보고  $\pm 2$  내지 3V)를 고려하기 때문에, 현상상태에서는 14 내지 16V 정도의 동작 전압이 필요하게 된다.

따라서, 도 10a에 있어서는 화소 매트릭스 회로(11), 시프트 레지스터(13, 16), D/A 컨버터(14), 버퍼(17, 18)등으로 14 내지 16V전후가 필요하게 된다. 또한, 도 10a의 블록도에는 도시하지 않았지만, 버퍼 앞에 레벨 시프터가 있으면 그 동작 전압도 14 내지 16V 전후로 한다.

이상과 같이, 현상의 액정 표시 장치에서는 주로 액정 재료의 제약이 있고 화소 매트릭스 회로 주변은 동작 전압이 14내지 16V 정도인 것이 많다. 그리하여, 본 실시예에서는 동작전압 14 내지 16V 정도, 구동 주파수 50MHz의 성능을 갖는 회로를 구성하기 위해 도 10b에 도시된 바와 같은 CMOS 구조를 채용한다.

도 10b은 도 6a에서 설명한 CMOS 구조이고, 여기에서는 구조에 의한 상세한 설명을 생략한다. 도 10b에 있어서 중요한 것은 TFT의 채널 길이(L1)(28) 및 게이트 절연막의 막두께(T1)(29)이다. 또, 여기에서 말하는 채널길이이란, 채널 형성 영역의 길이, 즉 실질적으로 전극으로서 기능할 수 있는 게이트 전극의 선폭에 상당한다. 따라서, 채널 길이에는 오프셋 영역이나 LDD 영역 등의 길이는 포함되지 않는다.

도 10b의 구조를 이용하기 위한 회로인 경우, 구동 주파수는 50MHz 정도 있기 때문에, 본 발명의 TFT인

경우, 채널길이(L1)(28)는 1.5 내지 2.5(대표적으로는  $2\mu\text{m}$ )로 충분하다. 또한, 동작 전압은 14 내지 16V로 높기 때문에 게이트 절연막의 막두께(T1)는 1000 내지 2000 Å(대표적으로는 1200 Å)로 조금 두껍게 형성함으로써 드레인 내압을 높인다.

또, 도 10b에 도시된 바와 같은 10V를 넘는 높은 동작전압 영역에서 구동할 필요가 있는 TFT를 본 발명자 등은 고내압 구동형 TFT(또는 저주파 구동형 TFT)라고 부르고 있다. 고내압 구동형 TFT는 게이트 절연막의 막두께를 1000 Å 이상으로 하는 것이 바람직하다.

또한, 본 발명의 TFT는 16V 구동에도 문제없이 동작하는 것이 실험적으로 확인되고 있지만, 트리플 게이트형 화소TFT를 이용하거나, 시프트 레지스터(13, 16), D/A 컨버터(14)를 9 내지 10V에서 구동시키는 등, TFT의 드레인 내압에 여유를 갖게 하는 연구를 행하는 것이 신뢰성의 향상이나 소비 전력의 감소에 유효하다. 또한, 9 내지 10V에서 구동시키는 TFT는 게이트 절연막의 막두께를 700 내지 1000 Å(대표적으로는 800 Å) 정도로 함으로써 구동 주파수를 보다 높힐 수 있다.

다음에, 수평 주사용 발진기(12), 수직 주사용 발진기(15), 위상 비교기(19), 전압 제어형 발진기(20), 분주기(21)의 경우에 관한 것이지만, 이들의 회로는 0.1 내지 0.5 GHz 정도의 구동 주파수를 필요로 하기 때문에, 도 10c에 도시된 바와 같은 CMOS 구조를 채용한다.

도 10c에 도시된 CMOS 구조의 특징은 도 10b에 도시된 CMOS 구조보다도 채널길이(L2)(30)가 작게 되어, 게이트 절연막의 막두께(T2)(31)가 얇게 된 것에 있다. 즉, 디바이스 치수가 전체적으로 도 10b의 구조보다도 작게 되어 있다.

본 발명의 TFT인 경우, 0.1 내지 0.5 GHz 정도의 구동주파수를 실현하기 위해서는 채널길이(L2)(30)를 0.5 내지  $1.0\mu\text{m}$ (대표적으로는  $0.7\mu\text{m}$ )의 서브 마이크론 영역으로 형성하면 된다. 또한, 상술과 같이 구동 주파수의 향상에 따라 드레인 내압이 문제가 되기 때문에, 게이트 절연막의 막두께(T2)(31)를 400 내지 600 Å(대표적으로는 500 Å)로 함으로써 동작 전압을 5V 정도까지 내려진다.

다음에, 연산회로(22) 및 메모리 회로(23)는 0.2 내지 2 GHz 정도의 극히 높은 구동 주파수를 필요로 할 수 있기 때문에, 도 10d에 도시된 바와 같은 CMOS 구조를 채용한다. 도 10d에 도시된 CMOS 구조는 채널 길이(L3)(32)가 딥서브마이크론 영역에까지 미세화되어, 게이트 절연막의 막두께(T3)(33)도 극히 얇게 된다.

본 발명의 TFT인 경우, 0.2 내지 2GHz 정도의 구동 주파수를 실현하기 위해서는 채널 길이(L3)(32)를 0.1 내지  $0.5\mu\text{m}$ (대표적으로는  $0.35\mu\text{m}$ )으로 하여, 게이트 절연막의 막두께(T3)(33)를 200 내지 400 Å(대표적으로는 300 Å)로 하는 것으로 동작 전압을 3.3V로 까지 인하할 수 있다.

또, 도 10c, 도 10d에 도시된 바와 같은 0.1GHz 이상 정도의 높은 구동 주파수 영역에서 구동하는 TFT를 본 발명자 등은 고주파 구동형 TFT라고 부르고 있다. 고주파 구동형 TFT는 게이트 절연막의 막두께를 500 Å 이하로 하는 것이 바람직하다.

이상과 같이, 필요에 따라서 TFT의 채널길이(L) 및 게이트 절연막의 막두께(T)를 다른 것으로 함으로써 회로가 요구하는 최저한의 주파수 특성을 실현하는 것이 가능하게 되며, 그것에 의해 여러가지 논리 회로를 동일 기판상에 형성한 시스템화된 액티브 매트릭스 디스플레이를 실현할 수 있다.

또한, 구동 주파수를 증가시키면서 동시에 동작 전압도 감소하는 것이 가능하기 때문에, 매우 소비 전력 이 낮은 액티브 매트릭스 디스플레이를 구성하는 것도 가능하다. 또한, 논리회로와 같은 전기 회로를 5V(또는 3.3V)로 구동하는 것은 통상 5V(또는 3.3V)로 구동되는 IC 칩과 조합할 필요가 있는 경우에 있어서, 신호의 입출력의 호환성이 좋다고 하는 이점이 있다.

본 실시예에 있어서는 채널 길이(L)를 0.1 내지  $2\mu\text{m}$ 의 범위에서 적당히 선택하여, 게이트 절연막의 막두께(T)를 200 내지 1500 Å의 범위에서 적당히 선택하는 예를 나타내었지만, 본 실시예에 나타난 구체적인 수치 등은 본 발명의 일 실시예를 나타내는 것에 지나지 않고, 이것에 한정되지 않는다.

본 실시예에서 중요한 점은 동일 기판상에 있어 고주파구동형 TFT와 고내압 구동형 TFT가 동시에 존재할 수 있는 것으로서, 그 결과, 화소 매트릭스 회로, 드라이버 회로 및 논리회로를 동일 기판상에 탑재한 액티브 매트릭스 디스플레이를 실현할 수 있는 점에 있다.

금후, 디바이스 사이즈의 더욱 미세화가 진행되어, 고속 동작을 필요로 하는 회로가 증가하는 것은 쉽게 예상할 수 있다. 그 때, 본 발명에 있어서는 채널 길이(L)의 선택 범위의 하한은  $0.01\mu\text{m}$ 이거나 그 이하가 될 것이고, 게이트 절연막의 막두께(T)의 선택 범위의 하한은 50 Å이거나 그 이하라고 생각된다. 본 발명자 등은 장래적으로 본 발명의 TFT에 의해서 2GHz 이상 초고주파 구동을 행하는 논리회로가 형성될 가능성도 상정하고 있고, 그 같은 경우에 있어서는 본 발명은 또한 유효한 기술이 될 것으로 생각된다.

#### [실시예 4]

본 실시예에서는 본 발명의 TFT를 이용한 각종 논리회로의 회로 구성에 대하여 간단한 설명을 한다. 도 1에 도시된 액티브 매트릭스 디스플레이를 예로 들어 설명하기 전에, 기본이 되는 인버터 등의 구성을 도 11을 참조하여 설명한다.

우선, 도 11a는 인버터 회로이고, P채널형 TFT(41) 및 N채널형 TFT(42)를 상보적으로 조합한 CMOS 구조로 구성된다. 인버터 회로의 회로 기호는 43과 같이 나타난다.

도 11b는 클럭드 인버터이고, P 채널형 TFT(44, 45)

및 N 채널형 TFT(46, 47)로 구성된다. 상기의 경우, N채널형TFT(46, 47)의 게이트 전극에 클럭신호(CL)가 입력되며, P 채널형 TFT(44, 45)의 게이트 전극에는 반전한 클럭신호(CL')가 입력된다. 클럭드 인버터의 회로기호는 48과 같이 나타난다. 또한, N채널형 TFT와 P채널형 TFT에 입력되는 클럭신호를 교체시키면, 도 11b에 도시된 클럭드 인버터(44)가 온상태일 때에 오프 상태로 되도록 한 역극성의 클럭드 인

버터가 된다.

도 11c에 도시된 회로는 아날로그 스위치이고, 인버터(49)와 N채널형 TFT(50) 및 P 채널형 TFT(51)로 구성되며, N 채널형 TFT(50)에는 클럭신호(CL)가 P 채널형 TFT(52)에는 반전한 클럭신호(CL')가 입력된다. 아날로그 스위치의 회로기호는 52과 같이 나타난다.

이 아날로그 스위치는 도 11b에 도시된 클럭드 인버터와 같은 기능을 갖는다. 물론, 입력하는 클럭신호의 극성을 전환함으로써, 아날로그 스위치의 극성(온/오프 동작)을 반대로 할 수 있다.

도 11d에 도시된 바와 같은 NAND 회로이고, P 채널형 TFT(53, 54) 및 N 채널형 TFT(55, 56)로 구성된다. NA N D 회로의 회로기호는 57과 같이 나타난다. 또한, 도 11e에 도시된 것과 같은 NOR 회로이고, P 채널형 TFT(58, 59) 및 N 채널형 TFT(60, 61)로 구성된다. NOR 회로의 회로 기호는 62와 같이 나타난다. 도 11d에 도시된 NAND 회로는 입력신호의 논리적인 반전 신호를 출력하고, 도 11e에 도시된 NOR 회로는 입력신호의 논리합의 반전 신호를 출력한다.

다음에, 도 1의 액티브 매트릭스 디스플레이에 있어서, 소스선 드라이버 회로(103)에 포함되는 수평 주 사용 시프트 레지스터 및 래치 회로의 기본 구조의 일례에 대하여, 도 12를 참조하여 간단히 설명한다. 물론, 시프트 레지스터 및 래치의 구성은 이것에 한정되지 않고, 예를 들면, 신호의 진행 방향을 바꾸어 넣어도 동작하는 쌍방향 시프트 레지스터를 사용하여도 상관없다.

우선, 도 12a는 시프트 레지스터 회로를 도시하고 있다. 시프트 레지스터 회로는 기본적으로 여러단의 인버터(63), 클럭드 인버터(64, 65)의 조합이 직렬로 연속해서 구성된다. 이 때, 인버터(63)의 구조는 도 11a, 클럭드 인버터(64)의 구조는 도 11b에 도시된 바와 같이 되어 있다. 또한, 클럭드 인버터(65)는 클럭드 인버터(64)가 온상태에 있을 때에 오프 상태로 되도록, 반전된 클럭 신호가 입력된다. 또한, 클럭드 인버터(64) 대신에 도 11c에 도시된 바와 같은 아날로그 스위치를 사용하여도 관계없다.

또한, 본 실시예에 나타난 구성에서는 N단짜와 (N+1) 단짜의 출력 신호를 도 11d에 도시된 바와 같은 NAND 회로(66)에서 논리적으로 갖고 출력하도록 구성되어 있기 때문에, ① 출력 신호가 겹치지 않고(펄스 에지가 급준하게 된다), ② 실질적으로 2배의 구동 주파수로 동작할 수 있는 등의 이점을 얻을 수 있다.

다음에, 시프트 레지스터 회로로부터 출력된 신호(a)는 인버터(67)를 이용하여 신호(a)와 반전된 신호(a')로 나누어져, 도 12b로 도시된 래치 회로로 진행된다. 그리고, 신호(a)와 반전된 신호(a')는 다수의 비트 신호선(68)마다 접속된 1단짜의 래치(69)의 클럭신호로서 입력된다. 또, 비트 신호선을 N 개로 하면  $N^2$  계조의 화상 표시가 가능하다.

다음에, 2단짜의 래치(70)에 클럭신호(b 및 b')가 입력되면, 복수(N개)의 래치(69)의 유지되고 있던 신호가 일제히 N개의 래치(70)로 진행된다. 그리고, 래치(70)로 진행된 신호는 인버터(71)를 이용하여 신호(c<sub>1</sub>, d<sub>1</sub>) 및 반전된 신호(c<sub>1</sub>', d<sub>1</sub>')로 나누어진다. 또, 여기에서는 선순차 방식을 예로하였지만, 선순차 방식이라도 기본적인 동작은 같다.

이렇게 해서 래치 회로로부터 출력된 비트신호(c<sub>1</sub>, d<sub>1</sub>, 및 c<sub>1</sub>', d<sub>1</sub>'...)는 도 12c에 도시된 D/A 컨버터로 진행된다. 도 12c에 도시된 D/A 컨버터에 있어서, 아날로그 스위치(72)(도 11c 참조)는 비트 신호선(68)의 개수와 같은 수, 즉 N개가 직렬로 접속된다. 그리고, 그 N개의 아날로그 스위치로 형성된 열(74)이 아날로그 신호선(73)의 개수와 동수, 즉  $N^2$ 개만 병렬로 나열하고, 각각 소정의 아날로그 신호선과 접속하고 있다.

본 실시예의 D/A 컨버터는 다수의 아날로그 스위치(72)를 조합함으로써  $N^2$ 개의 아날로그 신호선(73)으로부터 선택적으로 계조 신호를 꺼내는 구성으로 되어 있다. 이하에 동작 원리를 간단히 설명한다.

우선, 1st bit line으로부터의 비트 신호(c<sub>1</sub> 및 c<sub>1</sub>')를 예로 든다. 도 12b의 래치 회로로부터 보내온 비트 신호는 도 12c에 있어서 최상단(1단짜)에 나열하는  $N^2$ 개의 아날로그 스위치 모두에 대하여 클럭 신호를 입력된다. 그리고,  $N^2$  개의 아날로그 스위치 중의 몇개인가가 어떤 규칙성을 갖고 온상태로 되며, 나머지가 오프 상태로 되도록 설계된다.

이상과 같이 하여, 2단짜의 아날로그 스위치도 2nd bit line(d 및 d')으로부터의 비트 신호를 클럭 신호로서 온상태 또는 오프 상태가 된다. 이 때, 온/오프 상태는 1단짜와는 다른 규칙성을 갖도록 설계된다.

3단짜 이후도 이상과 같은 설계가 이루어지며, 최종적으로는  $N^2$ 개만 나열한 열(74) 중의 어느 하나의 1열만이 반드시 N개 모든 아날로그 스위치가 온상태가 되도록 설계된다. 이렇게 하여  $N^2$ 개의 아날로그 신호선 중, 항상 1개의 아날로그 신호선만이 선택되도록 설계된다.

다음에, 도 1의 액티브 매트릭스 디스플레이에 배치되는 위상비교기(114), LPF(로우 패스 필터)(115), 전압 제어형 발진기(116), 분주기(117)의 회로 구성의 일례를 도 13에 도시한다.

도 13a에 도시된 것은 위상 비교기(114)이고, 4개의 NAND 회로(75)(도 11d 참조), 2개의 인버터(76)(도 11a 참조)를 조합하여 구성된다. 또한, LPF(115)는 위상 비교기(114)의 출력단자에 접속된 저항(77)과 용량(78)으로 구성된다.

도 13b에 도시된 것은 전압 제어형 발진기(116)이고, 인버터(79), NNAD 회로(80), NOR 회로(81)(도 11e 참조), P 채널형 TFT(82) 및 N 채널형 TFT(83)를 조합하여 구성된다. 또, 84는 정전류원을 구성하는 회로이다.

도 13c에 도시된 것은 분주기(117)이고, T-F/F(도글 플립플롭)회로(85)를 직렬로 접속하여 구성된다.

접속하는 개수는 어떤 정도까지 분주할 것인가에 따라 적당히 설정하면 된다. 또, T-F/F 회로(85)는 클럭드 인버터(86, 87) 및 인버터(88)에서 루프를 형성하여 구성한다. 클럭드 인버터(86, 87) 및 인버터(88)에 관해서는 이미 상세하게 설명했기 때문에 생략한다.

이상, 본 실시예에는 도 1의 액티브 매트릭스 디스플레이에 내장된 회로구성에 대하여 설명하였다. 그러나, 도 11a 내지 11b에 도시된 바와 같은 기본이 되는 회로를 조합한 것으로 여러가지 논리 회로를 구성하는 것이 가능하며, 또한 복잡한 회로 구성을 행할 수 있다.

#### [실시예 5]

본 실시예에서는 도 8, 도 9를 참조하여 설명한 것과는 다른 제작 공정으로 CMOS 구조를 형성하는 경우의 예에 대하여 설명한다. 또, 본 실시예에 있어서의 설명은 도 14를 참조하여 CMO 구조에만 착안하여 행한다.

우선, 석영기판(1401)상에 활성층(1402, 1403)을 형성한다. 그리고, 산화규소막(후의 게이트 절연막)(1404)을 형성한 후, 촉매 원소의 게터링 프로세스(할로겐 원소를 포함하는 분위기에서 있어서의 가열처리)를 행하여, 활성층(1402, 1403)을 본 발명에 이용하는 실리콘 박막으로 변성시킨다. 여기까지는 실시예 1에 나타난 공정에 따라서 제작할 수 있다.

다음에, 활성층(1402, 1403)상에 알루미늄을 주성분으로 하는 재료로 형성된 패턴(도시하지 않음)을 형성하고, 그 후, 3%의 주석산을 포함한 에틸렌글리콜 용액속에서 양극산화를 행하여, 조밀한 양극산화막(1405, 1406)을 형성한다. 또한, 여기에서 게이트 전극(1407, 1408)이 확정된다.

이렇게 해서 도 14a의 상태가 얻어지면, 다음에 이 상태로 활성층(1402, 1403)에 대하여 1전도성을 부여하는 불순물 이온의 주입을 행한다. 또, 이 이온 주입 공정은 레지스트 마스크를 이용하여 N 채널형 TFT에는 P 이온을, P 채널형 TFT에는 B 이온을 첨가하도록 행한다. 그리고, 이 이온 주입 공정에 의해 N형 불순물 영역(1409, 1410), P형 불순물 영역(1411, 1412)이 형성된다.

불순물 이온의 주입이 종료하면, 질화규소막(1413)을 0.5내지 1 $\mu$ m의 두께로 성형한다. 막형성 방법은 감압열 CVD법, 플라즈마 CVD법, 스퍼터법 중 어느 하나라도 무방하다. 또한, 질화규소막 이외에 산화규소막을 사용하여도 된다.

이렇게 해서 도 14b의 상태가 얻어진다. 도 14b의 상태가 얻어지면, 다음에 질화규소막(1413)을 에치백법에 의해 에칭하여, 게이트 전극(1407, 1408)의 측벽에만 잔존시킨다. 이 공정에 의해, 게이트 전극(1407, 1408)의 측벽에는 측벽(1414, 1415)이 형성된다.

다음에, 측벽(1414, 1415) 및 게이트 전극(1407, 1408)을 마스크로서 드라이 에칭법에 의해 산화규소막(1404)을 에칭한다. 이 공정에 의해, 도 14c에 도시된 바와 같은 상태로 게이트 절연막(1416, 1417)이 형성된다.

그리고, 도 14c에 도시된 상태로 다시 불순물 이온의 주입을 행한다. 이 이온 주입 공정도 앞서의 이온 주입 공정과 같이 N 채널형 TFT와 P 채널형 TFT로 나누어진다. 또한, 이 때, 도즈량은 앞서의 이온 주입의 도즈량보다도 높게 둔다.

이 이온 주입시, 측벽(1414, 1415)바로 아래의 영역(1418내지 1421)은 이온 주입이 행해지지 않기 때문에, 불순물 이온의 농도로 변화되지 않는다. 그러나, 노출한 영역(1422 내지 1425)은 또한 고농도의 불순물 이온이 주입된다.

이상과 같은 2번째의 이온 주입을 거쳐서, N 채널형TFT의 소스영역(1422), 드레인 영역(1423), 저농도 불순물 영역(1418, 1419), 채널 형성 영역(1426) 및 P 채널형 TFT의 소스영역(1425), 드레인 영역(1424), 저농도 불순물 영역(1420, 1421), 채널 형성 영역(1427)이 형성된다(도 14c).

이상의 공정을 거쳐서 도 14c의 상태가 얻어지면, 300 Å의 두께의 도시하지 않은 텅스텐막을 형성하고, 텅스텐막과 실리콘막(활성층)을 반응시킨다. 그리고, 텅스텐막을 제거한 후, 램프 어닐링 등에 의한 가열 처리를 행함으로써 소스영역(1422, 1425) 및 드레인 영역(1423, 1424)의 표면에 텅스텐 실리사이드(1428 내지 1431)를 형성한다. 또, 이 공정은 텅스텐막 대신에 탄탈막, 티타늄막, 몰리브덴막 등을 사용하여도 된다.

다음에, 층간 절연막(1432)으로서 산화규소막을 5000 Å의 두께로 형성하여, 소스선(1433, 1434), 드레인선(1435)을 형성한다. 또한, 화소 매트릭스 회로를 형성하는 과정에서, 제2 층간 절연막(1436), 제3 층간 절연막(1437), 제4 층간 절연막(1438)이 형성된다. 이렇게 해서 도 14d에 도시된 CMOS 구조를 얻는다.

TFT를 본 실시예에서 도시된 바와 같은 구조(실리 사이드 구조)로 하면, 소스/드레인 전극이 티타늄 실리사이드(1428 내지 1431)를 통해 소스/드레인 영역과 접속하기 때문에 양호한 오믹 콘택트를 실현할 수 있다. 따라서, 부하가 작게 구동 주파수가 높은 회로를 구성할 수 있다.

#### [실시예 6]

본 실시예에서는 도 8, 도 9, 도 14를 참조하여 설명한 것과는 다른 제작 공정으로 CMOS 구조를 형성하는 경우의 예에 대하여 설명한다. 설명은 도 15를 참조한다.

우선, 실시예 1에 예시된 제작 공정에 따라서, 석영기판(1501)상에 활성층(1502, 1503), 후에 게이트 절연막이 되는 산화규소막(15014)을 형성한다. 그리고, 그 위에 1전도성을 부여한 실리콘 박막으로 형성된 게이트 전극(1505, 1506)을 형성한다(도 15a).

도 15a의 상태가 얻어지면, 다음에 이 상태로 활성층(1502, 1503)에 대하여 1전도성을 부여하는 불순물 이온의 주입을 행한다. 또, 이온 주입 공정은 P 이온과 B 이온을 선택적으로 첨가하여 행한다. 그리고, 이 이온 주입 공정에 의해 N 형불순물 영역(1507, 1508), P 형 불순물 영역(1509, 1510)이 형성된



다.

불순물 이온의 주입이 종료하면, 실시예 5와 같은 공정에서 우선 질화규소막(1511)을 형성하고, 그 후에 에치백법을 이용하여 측벽(1512, 1513)을 형성한다. 그리고, 또한 실시예 5와 같은 공정에서 산화규소막(1504)을 에칭하여, 게이트 절연막(1514, 1515)을 도 15c에 도시된 상태로 형성한다.

그리고, 도 15c에 도시된 상태로 다시 불순물 이온의 주입을 행한다. 이 이온 주입 공정도 앞서의 이온 주입 공정과 같이 N채널형 TFT와 P채널형 TFT를 분류한다. 또한, 이 때, 도즈량은 앞서의 이온 주입의 도즈량보다도 높게 해준다.

이렇게 해서 N채널형 TFT의 소스영역(1516), 드레인 영역(1517), 저농도 불순물 영역(1518, 1519), 채널 형성 영역(1520) 및 P 채널형 TFT의 소스영역(1521), 드레인 영역(1522), 저농도 불순물 영역(1523, 1524), 채널 형성 영역(1525)이 형성된다.

다음에, 실시예 5에 나타난 바와 같은 실리 사이드 공정을, 티타늄막을 사용하여 행한다. 그 결과, 소스영역(1516, 1522) 및 드레인 영역(1517, 1521), 그위에 게이트 전극(1505, 1506)의 상면에, 티타늄 실리사이드(1526 내지 1531)가 형성된다.

다음에, 층간 절연막(1532)을 형성하여, 소스선(1533, 1534), 드레인 선극(1535)을 형성하며, 제2 층간 절연막(1536), 제3 층간 절연막(1537), 제4 층간 절연막(1538)을 형성하여 도 15d에 도시된 CMOS 구조를 얻는다. 본 실시예의 경우도, 티타늄 실리 사이드를 통해 배선과 TFT가 양호한 오믹 콘택트를 실현할 수 있다. 본 실시예의 이점은 게이트 전극(1505, 1506)의 위에도 티타늄 실리사이드(1530, 1531)가 형성되기 때문에, 게이트선에 걸리는 부하 저항을 감소할 수 있는 점이다.

#### [실시예 7]

본 발명을 실시함에 있어서, 실시예 1의 도 2에서 설명한 프로세스에 의해서 얻게 된 실리콘 박막이 필요한 것은 이미 서술하였다. 본 실시예에서는 실시예 1과는 다른 수단으로 결정화된 실리콘 박막을 본 발명에 사용하는 경우의 예를 나타낸다.

도 2에 있어서, 도 2c에 도시된 상태(결정화를 위해 가열처리가 종료한 단층)를 열으면, 마스크로 된 산화규소막(203)을 제거한다. 산화규소막(203)을 제거하면, KrF(파장 248nm), XeCl(파장 308nm) 등을 여기 가스로 하여 이용한 엑시머 레이저에 의한 어닐링을 행한다. 또한, 이 레이저 어닐링 공정은 실리콘 박막을 성형상 패턴으로 가공하기 전이나 나중이나 어느 때에 행해도 관계없다.

상기 레이저 어닐링에 의해서, 결정 실리콘 박막에 다소잔존한 비정질 성분의 결정화 및 결정 실리콘의 결정성의 현저한 개선이 행하여진다. 이렇게 하여 얻어진 실리콘 박막을 사용하여도, 본 발명의 액티브 매트릭스 디스플레이를 형성할 수 있다. 본 실시예의 이점은 액티브 매트릭스 디스플레이의 서브 스트레이트 기판으로서 영가인 글라스 기판을 사용할 수 있는 점이다. 즉, 제조비용의 감소를 도모할 수 있다.

다만, 본 발명을 실시하는데 있어서 가장 바람직한 형태는 실시예 1에 나타난 실리콘 박막을 활용한 TFT를 사용하는 것이며, 본 실시예는 기판으로서 글라스 기판 등의 저내열성 기판을 사용할 필요성이 생긴 경우에만 사용하는 것이 바람직하다.

또한, 실시예 1에 나타난 공정과 본 실시예의 공정을 조합하여도 된다. 즉, 레이저 어닐링 공정후에 측매 원소의 게터링 프로세스를 행하는 구성으로 해도 관계없다. 그 경우, 또한 높은 결정성의 실리콘 박막을 형성할 수 있다.

#### (실시예 8)

본 실시예로서는 특허평7-130652호 공보 기재의 기술과는 다른 수단으로 결정화를 조장하는 측매 원소를 첨가하는 예를 나타낸다. 또한, 본 실시예는 실시예 1과 실시예 6 중의 어느 하나의 결정화 수단을 취하는 경우에 있어서도 유효하다.

도 16a에 있어서, 1601은 절연 표면을 갖는 기판(글라스 기판 또는 석영기판), 1602는 산화 규소막으로 형성되는 하지막, 1603은 비정질 실리콘 박막, 1604는 버퍼층이 되는 산화 규소막(질화 규소막이라든지 산화 질화 규소막도 관계없다)이다.

또한, 1605는 레지스트 마스크이고, 측매 원소를 첨가하는 영역만을 제거해준다. 레지스트 마스크의 노광은 엑시머 레이저를 사용한 노광법이나 전자빔을 사용한 노광법 등을 사용하는 것이 바람직하다.

이것들의 노광법은 매우 미세한 패턴형성이 가능하게 되기 때문에 0.01 내지 1.0μm(대표적으로는 0.1 내지 0.35μm)의 슬릿폭으로 측매 원소의 첨가 영역을 형성할 수 있다. 또한, 전자빔 등으로 직접 레지스트 패턴을 묘화하면, 첨가 영역의 형상의 자유도도 대폭 확대된다.

그리고, 도 16a의 좌측의 도면에 도시된 바와 같이, 비정질 실리콘 박막(1603)중에 이온 프로파일(1607)의 피크값이 오도록 하여 이온을 첨가한다. 그를 위해, 실리콘 박막(1603)중에는 소정의 농도(바람직하게는  $3 \times 10^{19}$  내지  $1.5 \times 10^{21}$  atoms/cm<sup>3</sup>)로 측매 원소가 첨가된 영역(1606)이 형성된다. 또한, 이온의 첨가 방법은 이온 주입법(이온 플렌테이션 등) 또는 이온 도핑법(플라즈마 도핑 등)에 의하면 무방하지만, 측매 원소만을 첨가할 수 있는 이온 주입법의 것이 바람직하다.

또한, 본 실시예로서는 버퍼층(1604)으로 비정질 실리콘 박막(1603)을 덮는, 버퍼층(1604)을 통과한 측매 원소만을 이용한다. 그 때문에, 다음과 같은 효과를 얻을 수 있다.

(1) 이온 첨가에 의한 데미지가 비정질 실리콘 박막(1603)에 대하여 직접 닿지 않는다.

(2) 이온 프로파일(1607)의 피크값 부근만을 이용하기 때문에, 측매 원소의 첨가량을 재현성 있게 제어할 수 있다.

또한, 버퍼층(1604)의 막두께는 100내지 1500 Å (바람직하게는 300내지 800 Å)으로 함으로써 재현성이 양호한 이온 프로파일을 얻게 된다. 이것 이하의 막두께로서는 거의 이온이 버퍼층을 통과하여 이온 프로파일의 피크값 부근만을 이용하는 것이 곤란해진다. 또한, 이 이상의 막두께로서는 가속 전압을 상당히 높게 할 필요가 있기 때문에 장치의 부담이 커진다.

또한, 이 막두께는 버퍼층으로서 어떠한 절연막을 이용하는가로 최적치가 변화된다. 예를들면, 산화 규소막보다도 조밀한 질화 규소막을 사용하는 것으로 버퍼층의 막두께를 얇게 할 수 있다.

또한, 다른 실시형태로서, 도 16b에 나타내는 바와 같은 수단도 가능하다. 도 16b에 나타내는 예는, 레지스트 마스크를 사용하지 않고 촉매 원소 이온을 직접적으로 실리콘 박막(1606)중에 첨가하는 방법이고, FIB (Focussed Ion Beam) 법등과 같이 미세한 스폿에만 이온을 조사할 수 있는 기술을 이용하는 것으로 실시할 수 있다.

이 실시형태로서는 도 16b에 나타내는 바와 같이, 집중 이온빔(1608)에 의해서 직접적으로 패턴이 묘화되어, 원하는 위치에 원하는 형상으로 촉매 원소의 첨가 영역(1609)을 형성할 수 있다.

이상과 같이, 본 실시예에 의하면 촉매 원소의 첨가 영역의 폭을 0.01 내지 1.0μ m(대표적으로는 0.1 내지 0.35μ m)이 미세한 것으로 할 수 있다. 또한, 전자빔법이라든지 FIB 법등을 사용하여 직접적으로 첨가 영역을 묘화할 수도 있다. 이상의 효과로서, 촉매 원소를 첨가하는 영역의 형상이라든지 위치를 TFT의 배치 구성에 맞추어 자유롭게 설계할 수 있다.

#### (실시예 9)

본 실시예로서는 투과형 표시 장치의 화소 영역의 구성을 도 7과는 다른 구성으로 하는 경우의 예를 도 17에 나타낸다. 도 17에 나타내는 구성에 있어서, 1701, 1702는 활성층, 1703, 1704는 소스선, 1705, 1706은 게이트선, 1707은 소스선(1706)과 활성층(소스영역)(1702)과의 콘택트부, 1708은 접속 배선(1709)과 활성층(드레인 영역)(1702)과의 콘택트부, 1710은 접속 배선(1709)과 화소 전극(1711)과의 콘택트부이다.

또한, 1712는 보조 용량이고, 사선으로 나타나는 블랙 마스크(1713)와 접속 배선(1709)이 중첩하는 영역으로 형성된다. 또한, 블랙 마스크(1713)로 차광되지 않은 영역(1714)이 화상 표시 영역이 된다.

본 실시 예와 같은 배치 구성은, 화소 영역이 세로 길이의 장방형인 경우에 있어서 긴 쪽방향(지면을 향하여 위 또는 아래로 향하는 방향)에 보조 용량(1712)을 형성할 수 있기 때문에, 충분한 보조 용량을 확보하는데 있어서 유효하다.

#### (실시예 10)

본 발명은 모든 전기 광학 디바이스에 대하여 적용 가능하며, 액티브 매트릭스형 액정 표시 장치, 액티브 매트릭스형 EL 표시 장치, 액티브 매트릭스형 EC 표시 장치등에 적용할 수 있다.

또한, 이것들과 같은 액티브 매트릭스형의 표시 장치에는 대별하여 투과형 표시 장치와 반사형 표시 장치가 있다. 예를들면, 투과형 액정 표시 장치는 액티브 매트릭스 기판(TFT를 배치하는 측의 기판)의 뒷면에 백 라인을 설치하여, 표시 장치를 투과하는 빛을 보는 것으로 화상을 인식하는 것이다. 또한, 반사형 액정 표시 장치는 액티브 매트릭스 기판의 표면측에서 입사한 빛을 액티브 매트릭스 기판에 배치되는 화소 전극으로 반사하여, 그 반사광을 보는 것으로 화상을 인식하는 것이다.

투과형 표시 장치와 반사형 표시 장치로 TFT 구조에 큰 차이가 없지만, 화소 전극을 형성하는 재료가 다른 점에 특징이 있다. 예를들면, 투과형 표시 장치를 제작하는 경우, 도 7에 있어서의 화소 전극(711)(또는 도 17에 있어서의 화소 전극(1711))으로서 ITO 등의 투명 전극을 사용하면 좋다. 또한, 반사형 표시 장치로 하는 경우에는, 화소 전극(711)(또는 화소 전극(1711))으로서 반사 효율이 높은 불투명 전극을 사용하면 좋다.

이와 같이, 다소 TFT 구조를 변화시키면, 본 발명은 투과형 표시 장치에도 반사형 표시 장치에도 적용할 수 있다. 특히, 반사형 표시 장치는 개구율을 문제로 하지 않기 때문에, 투과형 표시 장치와 비교하여 설계 자유도가 넓어진다고 하는 이점을 가진다. 예를들면 투과형 액정 표시 장치에 있어서 화소 영역은 거의 화상 표시 영역(714)(또는 화상 표시 영역(1714))과 같이 빛을 투과하는 창문 부분으로 구성되어 있지만, 반사형 액정 표시 장치인 경우에는 그와 같은 화상 표시 영역의 뒷면에 별도의 회로를 형성하는 것이 가능하기 때문에 집적도를 보다 높일 수 있다.

#### (실시예 11)

본 발명을 컬러 프로젝션형 액정 표시 장치에 적용한 경우의 예를 도 18a에 나타낸다. 도 18a는 1매의 액정 패널을 사용한 단판식 프로젝터의 일례이고, 백색 광원(1801), UV 필터(또는 열선 필터)(802), 편광판(1803, 1805), 액정 패널(1804), 투영 렌즈(1806)로 구성된다. 백색 광원(1801)으로서는, 할로겐 램프, 메탈 할라이드 램프 또는 고휘도 방전 램프등을 사용할 수 있다.

또한, 액정 패널(1804)은 확대도로 나타내는 바와 같이, R (빨강)에 대응한 화소 영역(1807), G (초록)에 대응한 화소 영역(1808), B (파랑)에 대응한 화소 영역(1809)이 형성된 액티브 매트릭스 기판(1810)과, R (빨강)에 대응한 컬러 필터(1811), G (초록)에 대응한 컬러 필터(1812), B (파랑)에 대응한 컬러 필터(1813)가 형성된 대향 기판(1814)의 사이에 액정층(1815)을 끼워 두어 구성된다.

또한, 상기 구성 이외에도 여러가지의 구성으로 할 수 있다. 예를들면, 광원으로부터의 빛을 다이클로익 미러로 RGB에 분광하여, 각각을 마이크로 렌즈를 이용하여 RGB에 대응하는 각 화소 영역에 집광하는 방법을 사용하여도 좋다.

또한, 도 18b는 RGB에 대응한 3매의 액정 패널을 사용한 삼판식 프로젝터의 일례이고, 백색 광원(1820), UV 필터(또는 열선 필터)(1821), 모든 반사 미러(1822 내지 1824), 다이클로익 미러(1825 내지 1828), 콘덴서 렌즈(1829 내지 1831), R에 대응한 액정 패널(1832), G에 대응한 액정 패널(1833), B에 대응한

액정 패널(1834), 투영 렌즈(1835)로 구성된다.

또한, 도 18a, (18b)에 나타난 프로젝션형 액정 표시 장치는 전면 투사형의 데이터 프로젝터로서도 좋고, 배면 투사형의 리어형 프로젝터(TV)로서도 좋다.

본 발명의 액티브 매트릭스 디스플레이를 프로젝션형 액정 표시 장치로서 이용하는 것으로, 신호 처리 회로등의 논리회로를 액정 패널에 조립한 구성이 되기 때문에 장치의 대폭적인 소형화, 저가격화가 실현될 수 있다.

(실시예 12)

본 발명은 실시예 11에 나타난 프로젝션형 액정 표시 장치이외에도 여러 가지의 전기 광학 디바이스에 대하여 적용이 가능하다. 본 실시예로서는, 본 발명을 적용할 수 있는 전기 광학 디바이스의 일례에 대하여 도 19를 이용하여 설명한다.

본 발명을 이용한 전기 광학 디바이스의 다른 예로서는 (디지털)비디오 카메라, (디지털)스틸 카메라, 헤드 마운트 디스플레이, 카내비 게이션, 퍼스널컴퓨터, 휴대 정보 단말(모바일 컴퓨터, 휴대 전화등) 등을 들 수 있다.

도 19a는 모바일 컴퓨터(모빌컴퓨터)이고, 본체(2001), 카메라부(2002), 수상부(2003), 조작 스위치(2004), 표시 장치(2005)로 구성된다. 본 발명을 표시 장치(2005)에 적용하여 표시 컨트롤러 회로라든지 연산 회로등을 조립하는 것으로 카드형 모바일 컴퓨터를 실현할 수 있다.

도 19b는 헤드 마운트 디스플레이이고, 본체(2101), 표시 장치(2102), 밴드부(2103)로 구성된다. 본 발명을 표시 장치(2102)에 적용하는 것으로 대폭으로 장치의 소형화를 도모할 수 있다.

도 19c는 카내비게이션 시스템이고, 본체(2201), 표시 장치(2202), 조작 스위치(2203), 안테나(2204)로 구성된다. 카내비게이션 시스템에는 위성에서의 정보가 이송되기 때문에, 신호 처리에는 매우 높은 구동 주파수의 회로가 필요하게 된다. 본 발명을 표시 장치(2202)에 적용하는 것으로 카내비게이션 시스템의 소형화, 저가격화가 한층더 가능하게 된다.

도 19d는 휴대 전화이고, 본체(2301), 음성 출력부(2302), 음성 입력부(2303), 표시 장치(2304), 조작 스위치(2305), 안테나(2306)로 구성된다. 본 발명을 표시 장치(2304)에 적용하는 것으로 디지털 대응의 표시 모니터를 탑재할 수 있다.

도 19e는 비디오 카메라이고, 본체(2401), 표시 장치(2402), 음성 입력부(2403), 조작 스위치(2404), 배터리(2405), 수상부(2406)로 구성된다. 본 발명을 표시 장치(2402)에 적용하는 것으로 장치 구성이 대폭적으로 간략화되기 때문에, 매우 소형인 장치를 실현할 수 있다.

이상과 같이, 본 발명의 응용범위는 매우 넓고, 모든 분야의 표시 매체에 적용하는 것이 가능하다. 또한, 본 발명을 적용하는 것으로 액티브 매트릭스 디스플레이 자체에 여러가지의 기능을 갖게 할 수 있기 때문에, 전기 광학 디바이스의 사이즈가 매우 작게 된다. 장래적으로는 모든 전기 광학 디바이스가 카드화된 휴대형 전기 광학 디바이스로 될 수 있다.

### 발명의 효과

우선, 본 발명을 실시하는데에 있어서 매우 중요한 기본기술이 가져오는 효과에 대하여 진술한다. 그 기본 기술이란, 촉매 원소를 이용하여 결정화한 결정 실리콘에 대하여 할로겐 원소에 의한 촉매 원소의 게터링 프로세스를 행하는 것으로, 매우 특이한 결정 구조체를 가지는 실리콘 박막을 얻는 것이다.

실시예 1에 나타난 바와 같은 제작 공정으로 형성되는 실리콘 박막을 사용한 TFT는 단결정 실리콘을 사용한 MOSFET에 필적하는 서브 스렛슬드 계수를 가지며, 높은 전계 효과 이동도를 가지고 있다고 하는 특징이 있다. 또한, 막대 형상 또는 편평 막대 형상 결정이 복수 집합하여 형성되는 결정 구조체로 형성되는 실리콘 박막은, 그 자체에 단채널 효과를 억제하는 효과가 있고, TFT를 미세화하여도 채널도프법에 의지할 필요가 없고, 고내압·고속 동작 특성을 실현할 수 있다.

이와 같은 매우 높은 성능, 즉 구동 주파수 영역 및 동작 전압 영역이 폭넓은 TFT를 사용하는 것으로, 고주파 구동형 TFT와 고내압 구동형 TFT를 동일 기판상에 형성하는 것이 가능하게 된다.

또한, 채널 도프법에 의지하지 않고 단채널 효과를 억제할 수 있기 때문에, TFT의 채널 길이(L) 및 게이트 절연막의 막두께(T)를 바꾸는 만큼 동작 성능이 다른 TFT를 실현할 수 있다. 따라서, 회로가 요구하는 특성에 따라서 채널 길이(L) 및 게이트 절연막의 막두께(T)를 다른 것으로 하는 것으로, 진성 또는 실질적으로 진성인 채널 형성 영역을 가지는 TFT를 폭넓은 구동 주파수 영역 및 동작 전압 영역으로 이용할 수 있다.

이상과 같은 효과를 얻을 수 있는 것으로, 동일 기판상에 고주파 구동형 TFT와 고내압 구동형 TFT를 혼재한 논리회로, 드라이버 회로 및 화소 매트릭스 회로를 배치한 논리 회로내장형 액티브 매트릭스 디스플레이를 실현할 수 있다.

본 발명의 액티브 매트릭스 디스플레이는 화소 매트릭스 회로라든지 드라이버 회로 이외에, 표시 컨트롤러 회로, 메모리 회로, 궁극적으로는 연산 회로도 포함할 수 있는 논리회로를 탑재하기 위해서, 매우 다기능성, 휴대성에 우수한 시스템 디스플레이로서 기능한다. 또한, 고주파 구동회로는 동작 전압이 필요이상으로 크게 되지 않도록 설계되기 때문에, 저소비 전력성에도 우수한 것으로 된다.

또한, 그와 같은 액티브 매트릭스 디스플레이를, 예를들면 프로젝션형 액정 표시 장치와 같은 전기 광학 디바이스에 적용하는 것으로, 아주 소형이면서 경량으로, 영가인 전기 광학 디바이스를 제공하는 것이 가능하다.

(57) 청구의 범위

**청구항 1**

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치하여 구성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 실리콘 박막은, 서로 대략 평행하게, 또한, 방향성을 가지고 성장한 다수의 막대 형상 또는 편평 막대 형상 결정이 집합하여 형성되는 결정 구조를 가지고 있는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

**청구항 2**

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치하여 구성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 실리콘 박막을 구성하는 막대 형상 또는 편평 막대 형상 결정의 내부는 결정 격자가 연속적으로 연속되어 있고, 캐리어에 있어서 실질적으로 단결정이라고 간주할 수 있는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

**청구항 3**

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치하여 구성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT의 서브스레쉬드 계수는 N 채널형 TFT 및 P 채널형 TFT 모두 60 내지 100mV/decade인 것을 특징으로 하는 액티브 매트릭스 디스플레이.

**청구항 4**

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치하여 구성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT의 크기는, 해당 다수의 TFT로 구성되는 회로가 요구하는 전기 특성에 따라서 다른 것을 특징으로 하는 액티브 매트릭스 디스플레이.

**청구항 5**

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치하여 구성되는 액티브 매트릭스 디스플레이에

있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT의 채널 길이 및 / 또는 게이트 절연막의 막 두께는, 해당 다수의 TFT로 구성되는 회로가 요구하는 전기 특성에 따라서 다른 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 6

제 4 항 또는 제 5 항 중 어느 한 항에 있어서, 회로가 요구하는 전기 특성이란 구동 주파수 및 동작 전압인 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 7

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치하여 구성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT의 내, 필요로 하는 구동 주파수가 0.1 GHz 이상 회로를 구성하는 TFT의 게이트 절연막의 막 두께는 500 Å 이하이고, 필요로 하는 동작 전압이 10V를 넘는 회로를 구성하는 TFT의 게이트 절연막의 막 두께는 1000 Å 이상인 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 8

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치하여 구성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT에는 고주파 구동형 TFT와 고내압 구동형 TFT가 동시에 존재하고 있는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 9

제 8 항에 있어서, 상기 고주파 구동형 TFT의 게이트 절연막의 막 두께는 500 Å 이하이고, 상기 고내압 구동형 TFT의 게이트 절연막의 막 두께는 1000 Å 이상인 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 10

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치하여 구성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로를 구성하는 다수의 회로에는 구동 주파수 및 / 또는 동작 전압이 다른 적어도 2종류의 회로가 포함되는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 11

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치한 액티브 매트릭스 기판 및 해당 액티브 매트릭스 기판에 대향하여 배치되는 대향기판의 사이에 액정층을 협지한 구성으로 형성되는 액티브 매트릭스

디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 실리콘 박막은, 상호 대략 평행하게, 또한, 방향성을 갖고 성장한 다수의 막대 형상 또는 편평 막대 형상 결정이 집합하여 형성되는 결정 구조를 가지고 있는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 12

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치한 액티브 매트릭스 기판 및 해당 액티브 매트릭스 기판에 대향하여 배치되는 대향 기판의 사이에 액정층을 협지한 구성으로 형성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 실리콘 박막을 구성하는 막대 형상 또는 편평 막대 형상 결정의 내부는 결정 격자가 연속적으로 연속되어 있고, 캐리어에 있어서 실질적으로 단결정이라고 간주할 수 있는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 13

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치한 액티브 매트릭스 기판 및 해당 액티브 매트릭스 기판에 대향하여 배치되는 대향 기판의 사이에 액정층을 협지한 구성으로 형성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT의 서브스텝셀 계수는 N 채널형 TFT 및 P 채널형 TFT 모두 60 내지 100mV/decade인 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 14

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치한 액티브 매트릭스 기판 및 해당 액티브 매트릭스 기판에 대향하여 배치되는 대향 기판의 사이에 액정층을 협지한 구성으로 형성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT의 크기는, 해당 다수의 TFT로 구성되는 회로가 요구하는 전기 특성에 따라서 다른 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 15

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치한 액티브 매트릭스 기판 및 해당 액티브 매트릭스 기판에 대향하여 배치되는 대향 기판의 사이에 액정층을 협지한 구성으로 형성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT의 채널 길이 및 / 또는 게이트 절연막의 막 두께는, 해당 다수의 TFT로 구성되는 회로가 요구하는 전기 특성에 따라서 다른 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 16

제 14 항 또는 제 15 항 중 어느 한 항에 있어서, 회로가 요구하는 전기 특성이란 구동 주파수 및 동작 전압인 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 17

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치한 액티브 매트릭스 기판 및 해당 액티브 매트릭스 기판에 대향하여 배치되는 대향 기판의 사이에 액정층을 협지한 구성으로 형성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT의 내, 필요로 하는 구동 주파수가 0.1 GHz 이상 회로를 구성하는 TFT의 게이트 절연막의 막 두께는 500 Å 이하이고, 필요로 하는 동작 전압이 10V를 넘는 회로를 구성하는 TFT의 게이트 절연막의 막 두께는 1000 Å 이상인 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 18

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치한 액티브 매트릭스 기판 및 해당 액티브 매트릭스 기판에 대향하여 배치되는 대향 기판의 사이에 액정층을 협지한 구성으로 형성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 다수의 TFT에는 고주파 구동형 TFT와 고내압 구동형 TFT가 동시에 존재하고 있는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 19

제 18 항에 있어서, 상기 고주파 구동형 TFT의 게이트 절연막의 막 두께는 500 Å 이하이고, 상기 고내압 구동형 TFT의 게이트 절연막의 막 두께는 1000 Å 이상인 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 20

다수의 소스선, 다수의 게이트선 및 다수의 TFT를 적어도 포함하여 구성되는 화소 매트릭스 회로와,

상기 소스선을 구동하는 소스선 드라이버 회로 및 상기 게이트선을 구동하는 게이트선 드라이버 회로를 적어도 포함하는 드라이버 회로와,

상기 드라이버 회로를 구동하기 위해서 필요한 신호와 상기 화소 매트릭스부에 전달되는 화상 정보를 포함하는 신호를 처리하는 논리 회로를 동일 기판상에 배치한 액티브 매트릭스 기판 및 해당 액티브 매트릭스 기판에 대향하여 배치되는 대향 기판의 사이에 액정층을 협지한 구성으로 형성되는 액티브 매트릭스 디스플레이에 있어서,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로는 결정성을 갖는 실리콘 박막에 의한 다수의 TFT로 구성되며,

상기 화소 매트릭스 회로, 드라이버 회로 및 논리 회로를 구성하는 다수의 회로에는 구동 주파수 및 / 또는 동작 전압이 다른 적어도 2종류의 회로가 포함되는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 21

제 2 항 내지 제 5 항, 제 7 항, 제 8 항, 제 10 항, 제 12 항 내지 제 15 항, 제 17 항, 제 18 항, 제 20 항 중 어느 한 항에 있어서, 상기 실리콘 박막은, 서로 대략 평행하게, 또한, 방향성을 갖고 성장한 다수의 막대 형상 또는 편평 막대 형상 결정이 집합하여 형성되는 결정 구조를 가지고 있는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 22

제 1 항 내지 제 5 항, 제 7 항, 제 8 항, 제 10 항, 제 11 항 내지 제 15 항, 제 17 항, 제 18 항, 제 20 항 중 어느 한 항에 있어서, 상기 다수의 TFT를 구성하는 활성층 중 적어도 채널 형성 영역은, 채널 길이 방향과 상기 실리콘 박막을 구성하는 막대 형상 또는 편평 막대 형상 결정의 성장 방향이 대략 일치하며, 또한, 채널 길이 방향과 채널 폭 방향에서 이방성을 가지는 것을 특징으로 하는 액티브 매트릭스

스 디스플레이.

#### 청구항 23

제 1 항 내지 제 5 항, 제 7 항, 제 8 항, 제 10 항, 제 11 항 내지 제 15 항, 제 17 항, 제 18 항, 제 20 항 중 어느 한 항에 있어서, 상기 다수의 TFT를 구성하는 활성층 중 적어도 채널 형성 영역은 진성 또는 실질적으로 진성 영역인 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 24

제 1 항 내지 제 5 항, 제 7 항, 제 8 항, 제 10 항, 제 11 항 내지 제 15 항, 제 17 항, 제 18 항, 제 20 항 중 어느 한 항에 있어서, 상기 실리콘 박막 중에는 결정화를 조장하는 촉매 원소로서 Ni, Fe, Co, Sn, Pd, Pb, Pt, Cu, Au로부터 선택된 1종 또는 다수 종류의 원소가 포함되고, 해당 촉매 원소의 농도는  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 이하인 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 25

제 24 항에 있어서, 상기 결정화를 조장하는 촉매 원소는, Ni (니켈)인 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 26

제 1 항 내지 제 5 항, 제 7 항, 제 8 항, 제 10 항, 제 11 항 내지 제 15 항, 제 17 항, 제 18 항, 제 20 항 중 어느 한 항에 있어서, 상기 실리콘 박막중에는 Cl, F, Br로부터 선택된 1종 또는 다수 종류의 원소가  $1 \times 10^{15}$  내지  $1 \times 10^{20}$  atoms/cm<sup>3</sup>의 농도로 포함되는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 27

제 1 항 내지 제 5 항, 제 7 항, 제 8 항, 제 10 항, 제 11 항 내지 제 15 항, 제 17 항, 제 18 항, 제 20 항 중 어느 한 항에 있어서, 상기 다수의 TFT를 구성하는 활성층과 게이트 절연막의 계면에는 Cl, F, Br로부터 선택된 1종 또는 다수 종류의 원소가 고농도로 존재하는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 28

제 1 항 내지 제 5 항, 제 7 항, 제 8 항, 제 10 항, 제 11 항 내지 제 15 항, 제 17 항, 제 18 항, 제 20 항 중 어느 한 항에 있어서, 상기 화소 매트릭스 회로는 매트릭스상으로 형성된 다수의 화소 영역으로 구성되며, 해당 화소 영역에는 2개 이상의 TFT를 실질적으로 직렬로 접속한 구성으로 형성되는 적어도 하나의 화소 TFT가 구비되어 있는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 29

제 1 항 내지 제 5 항, 제 7 항, 제 8 항, 제 10 항, 제 11 항 내지 제 15 항, 제 17 항, 제 18 항, 제 20 항 중 어느 한 항에 있어서, 상기 화소 매트릭스 회로는 매트릭스상으로 형성된 다수의 화소 영역으로 구성되며, 해당 화소 영역에 구비되는 보조 용량은 접속 배선 및 해당 접속 배선과 중첩되는 블랙마스크의 사이에 형성되는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 30

제 29 항에 있어서, 상기 블랙마스크는 개구부를 가지는 유기성 수지막의 위에 형성되어 있고, 상기 개구부의 저면부에서 상기 보조 용량이 형성되어 있는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 31

제 29 항에 있어서, 상기 접속선은 소스선과 동일 재료, 또한, 동일 층에 형성되어 있는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

#### 청구항 32

제 1 항 내지 제 5 항, 제 7 항, 제 8 항, 제 10 항, 제 11 항 내지 제 15 항, 제 17 항, 제 18 항, 제 20 항 중 어느 한 항에 있어서, 상기 화소 매트릭스 회로를 구성하는 다수의 TFT의 크기는, 상기 드라이버 회로 또는 논리 회로를 구성하는 다수의 TFT의 내, 적어도 1개의 TFT의 크기와 다른 것을 특징으로 하는 액티브 매트릭스 디스플레이.

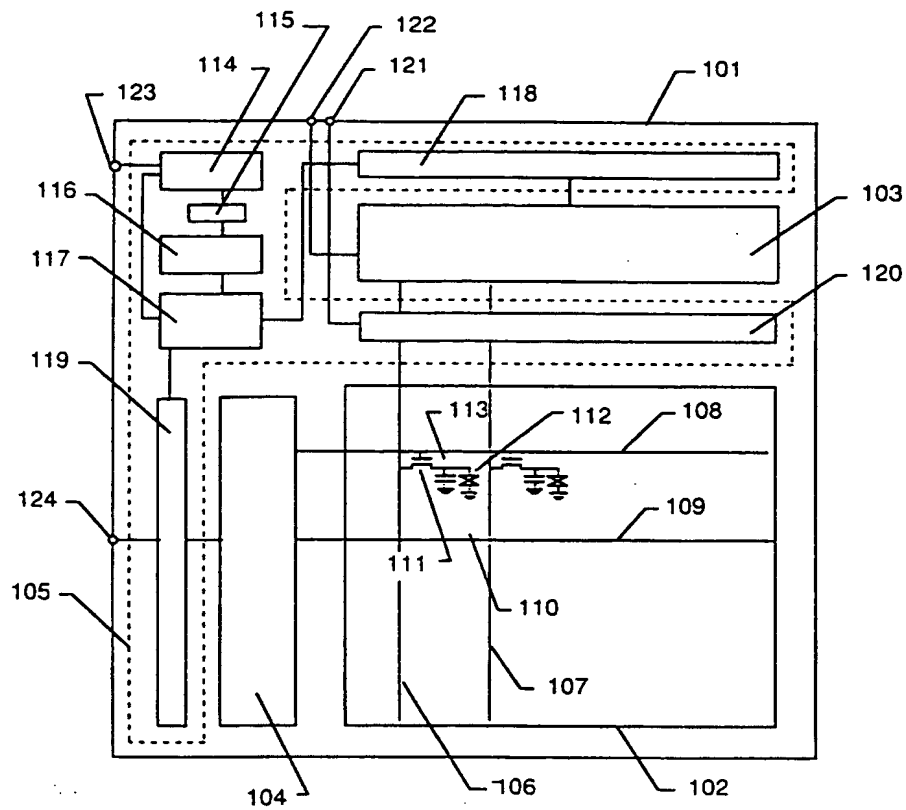
#### 청구항 33

제 1 항 내지 제 5 항, 제 7 항, 제 8 항, 제 10 항, 제 11 항 내지 제 15 항, 제 17 항, 제 18 항, 제 20 항 중 어느 한 항에 있어서, 상기 논리 회로로서 위상 비교기, LPF (로퍼스 필터), VCO (전압 제어형 발진기), 분주기, 수평 주사용 발진기, 수직 주사용 발진기, D/A컨버터, I/O포트, 차동 앰플리파이어, 오퍼레이션 앰플리파이어, 콤프레이터, 메모리 중 적어도 1개의 회로가 포함되는 것을 특징으로 하는 액티브 매트릭스 디스플레이.

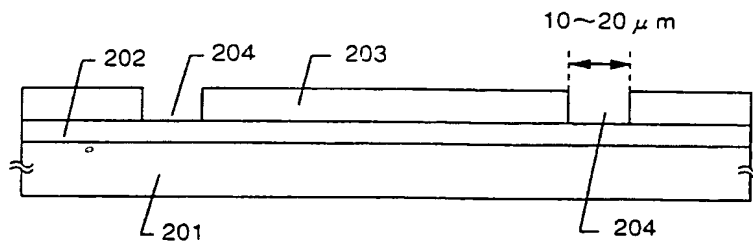
도면



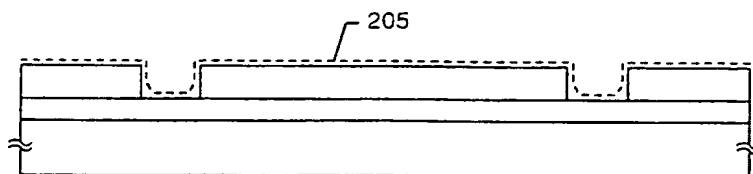
도면1



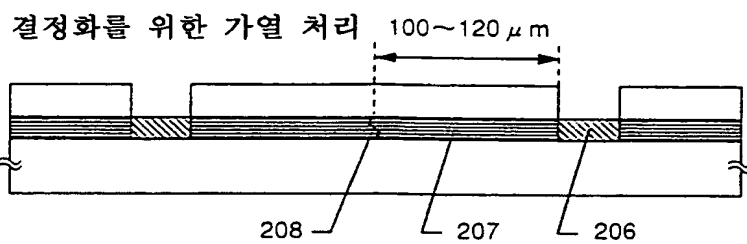
도면 2a



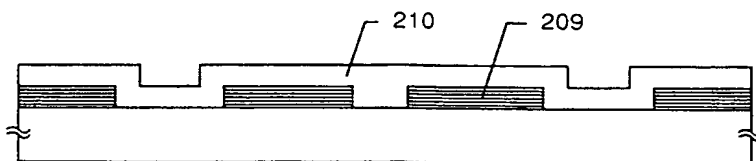
도면 2b



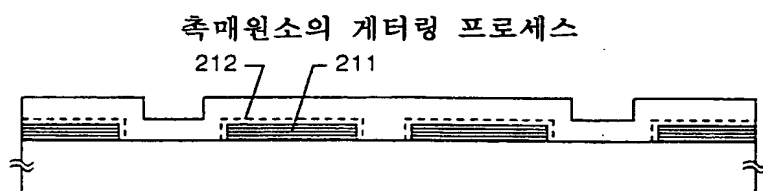
도면2c



도면2d



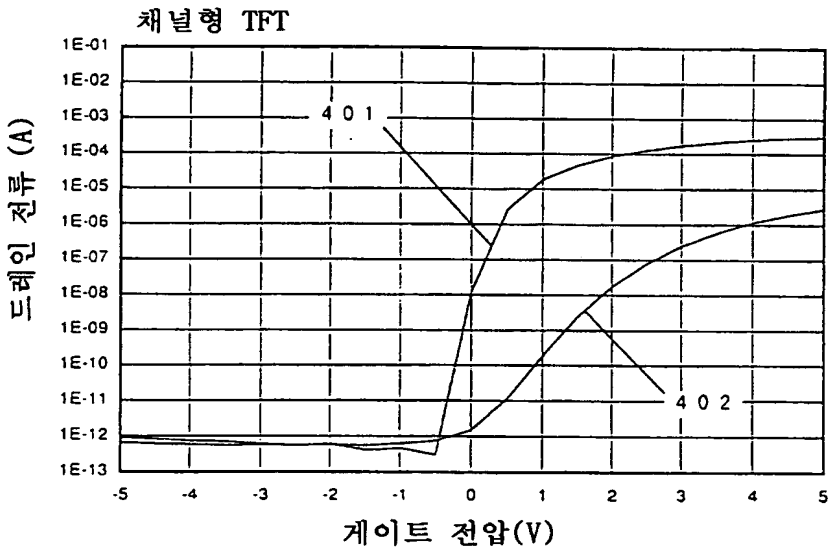
도면2e



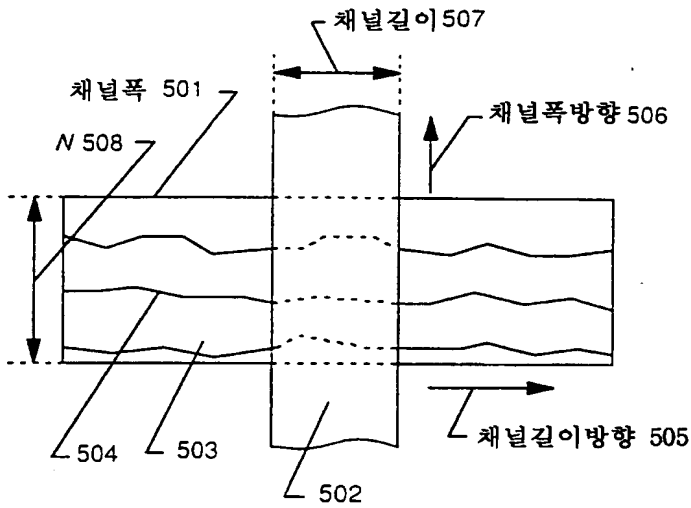
도면3



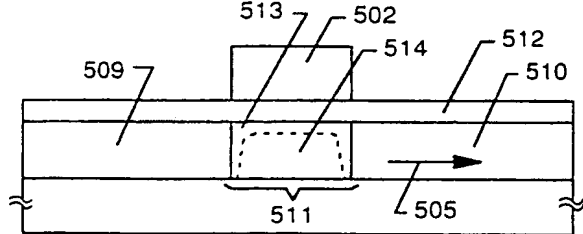
도면4



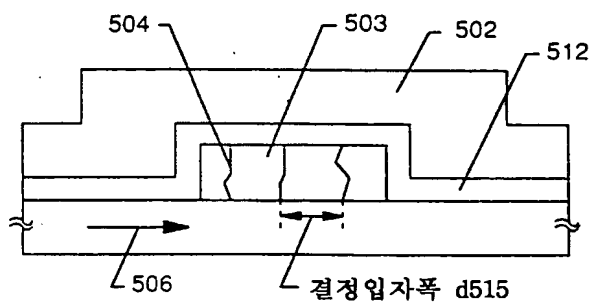
도면5a



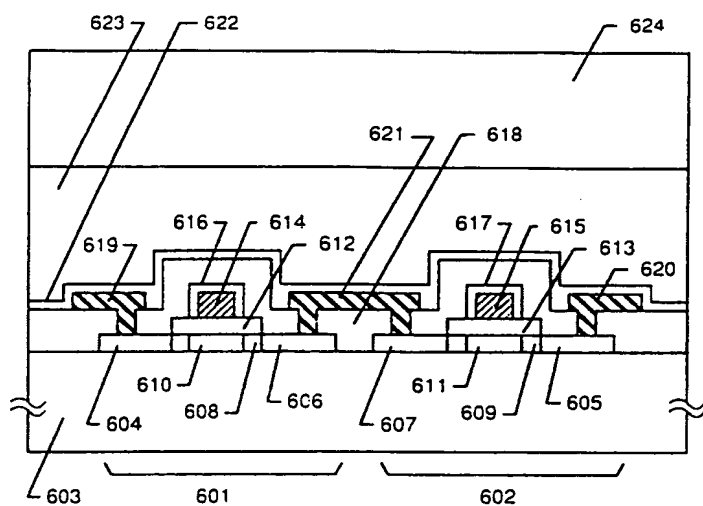
도면5b



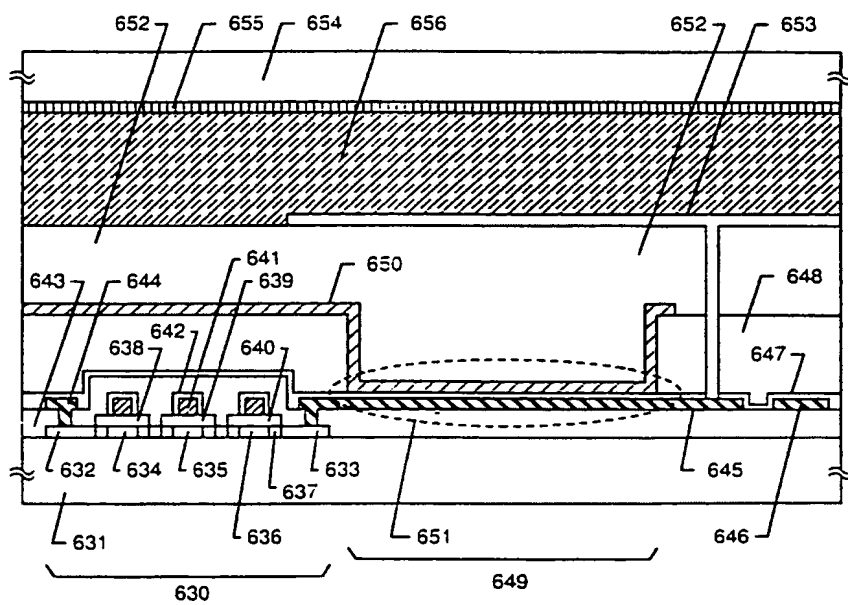
도면5c



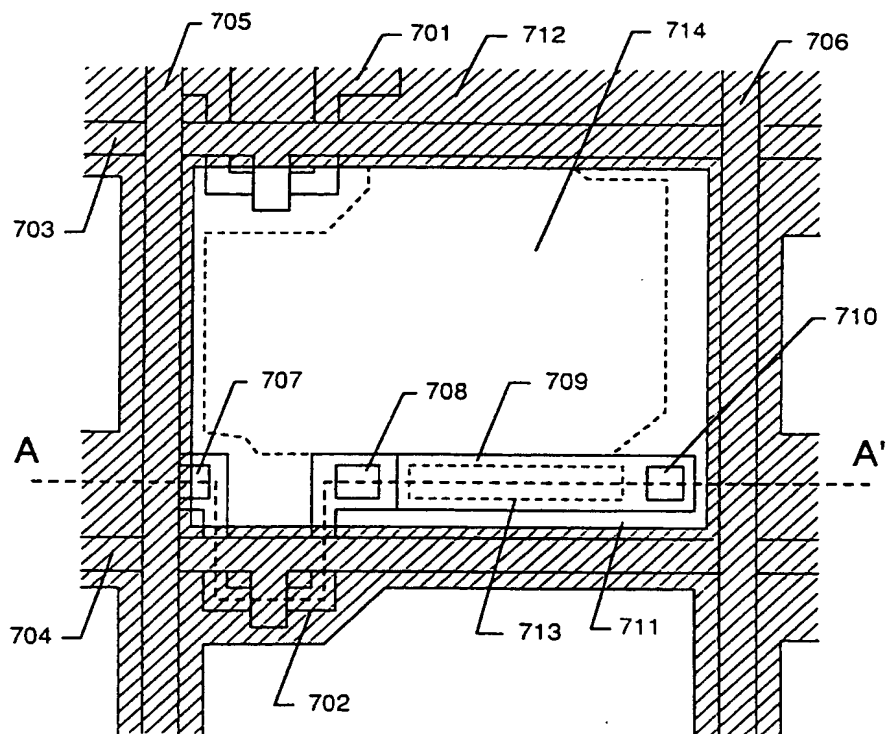
도면6a

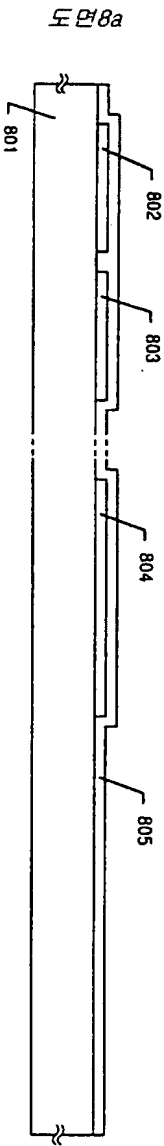


도면6b

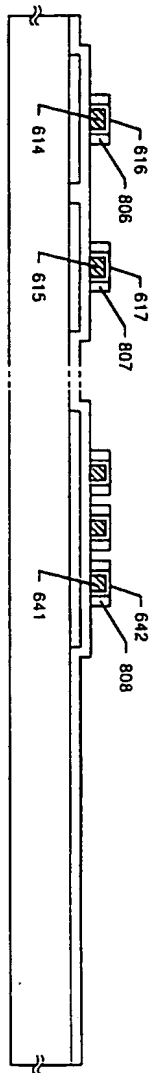


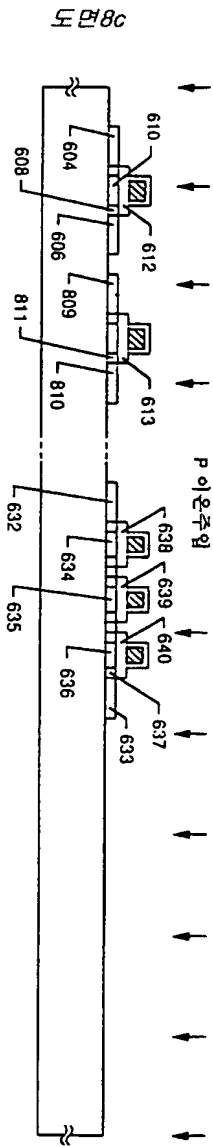
도면7



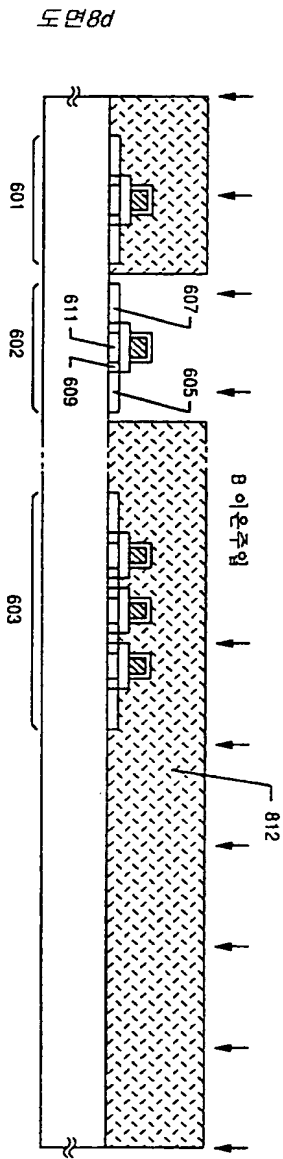


도면 8b

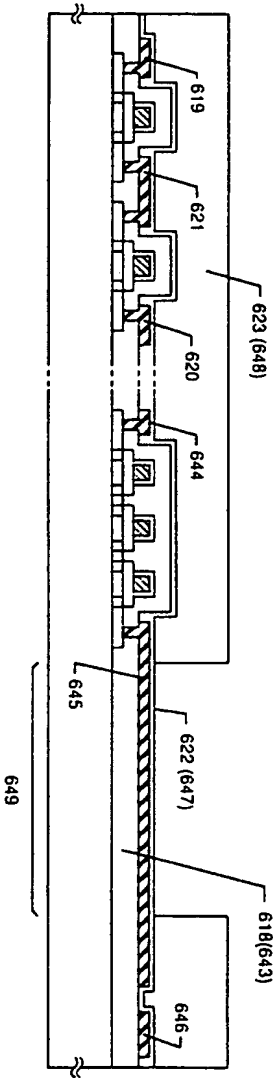




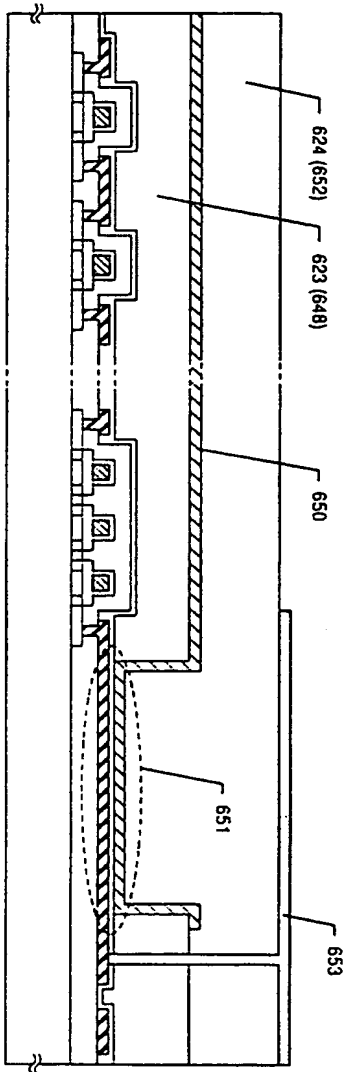




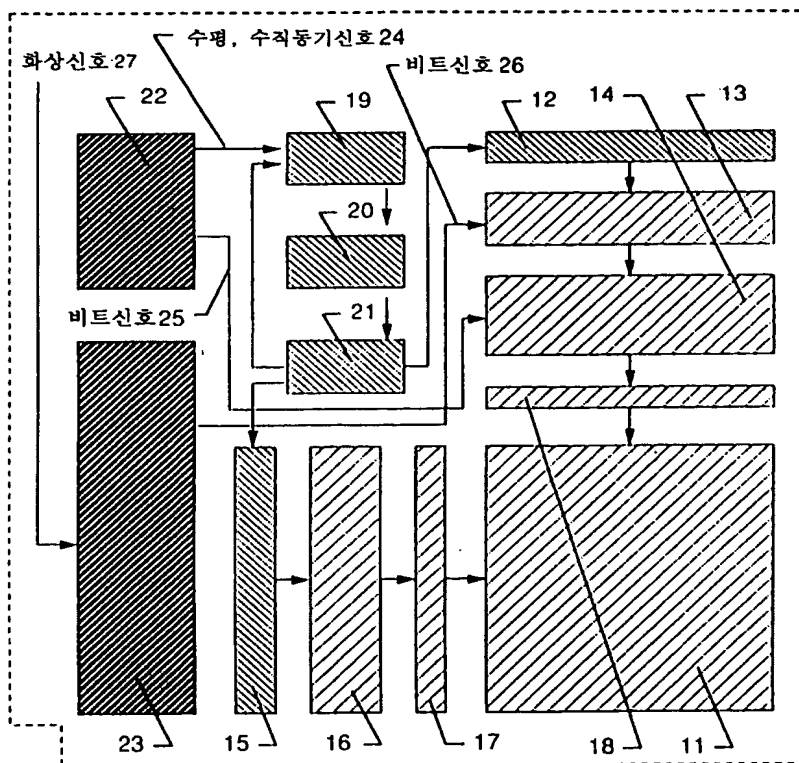
도면 9a



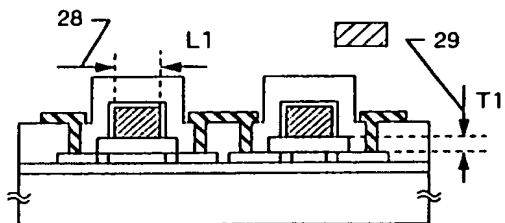
도면 9b



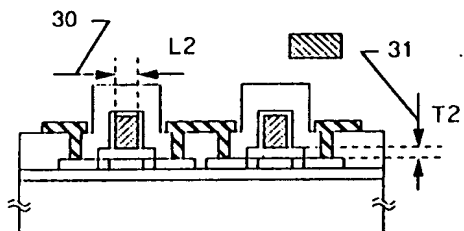
도면 10a



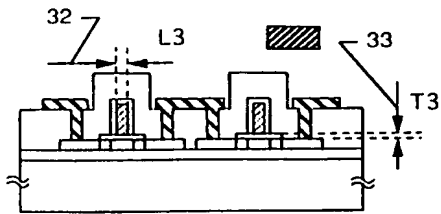
도면 10b



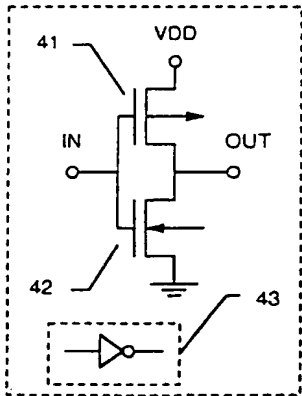
도면 10c



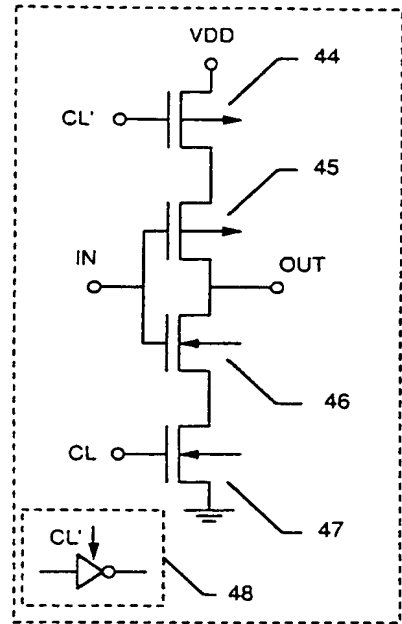
도면 10d



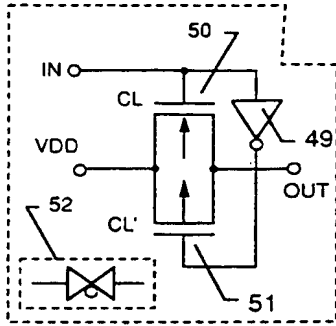
도면 11a



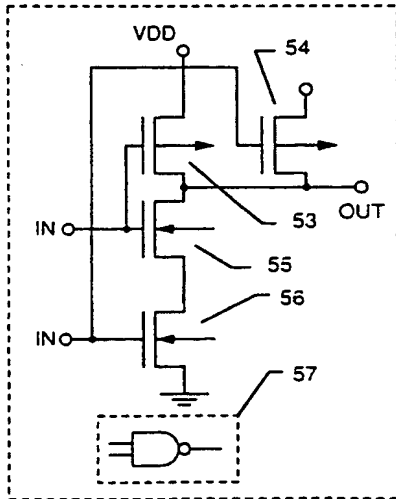
도면 11b



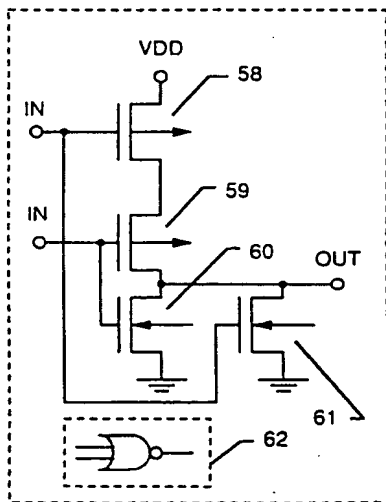
도면11c



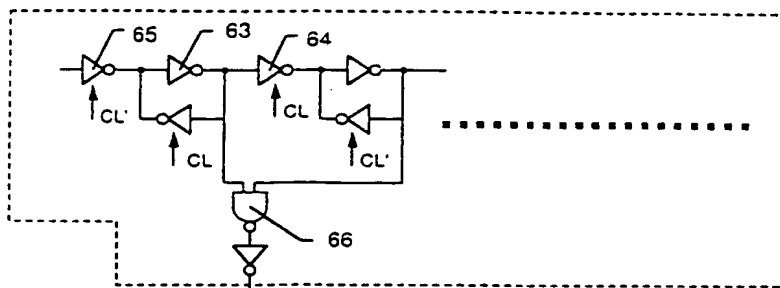
도면11d



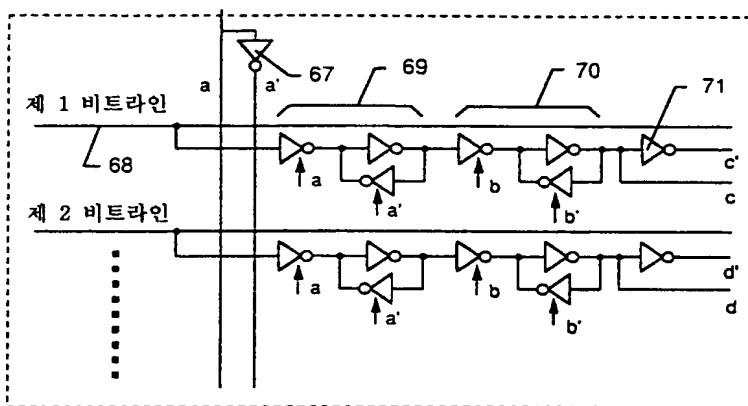
도면11e



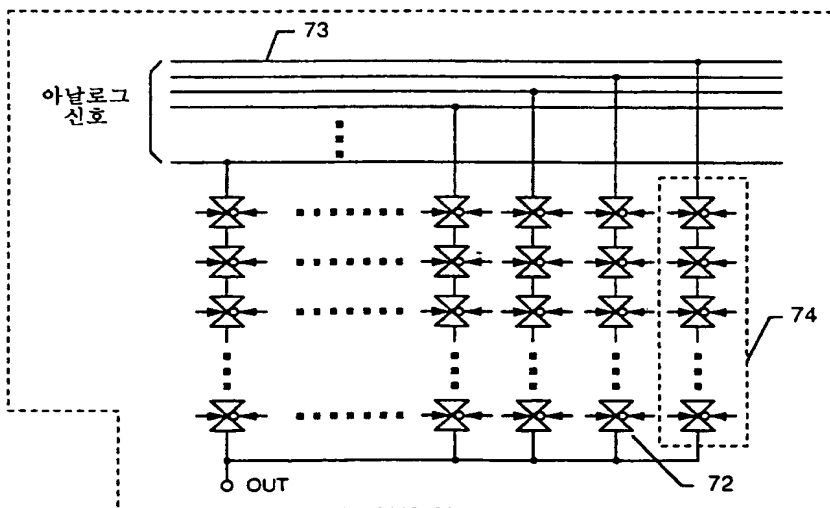
도면 12a



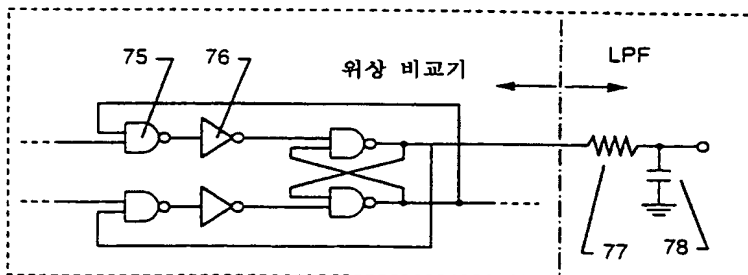
도면 12b



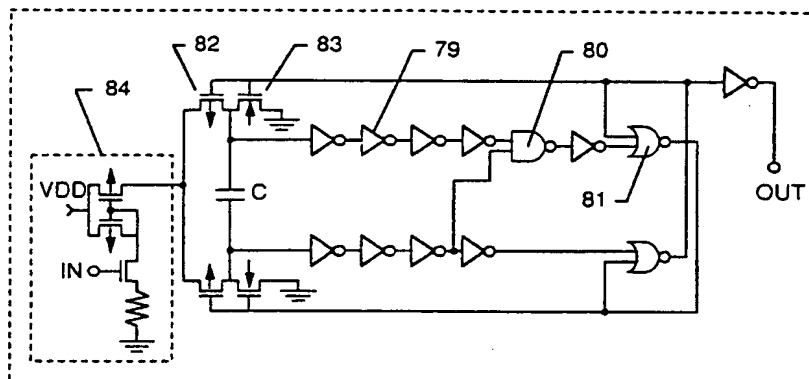
도면 12c



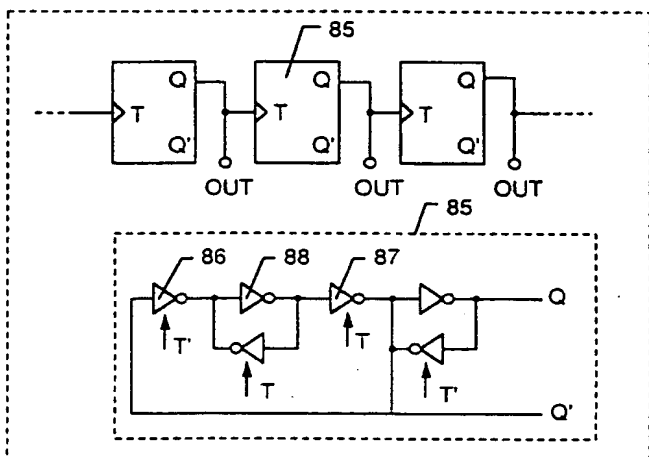
도면 13a



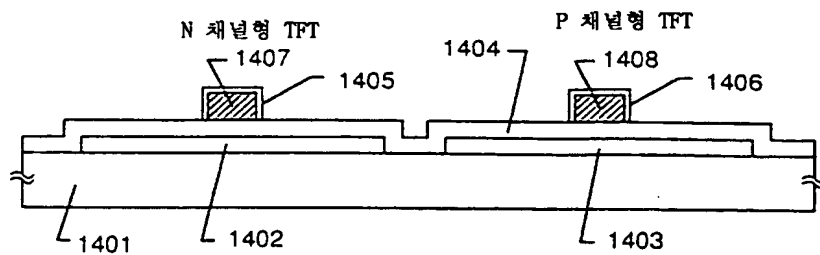
도면 13b



도면 13c

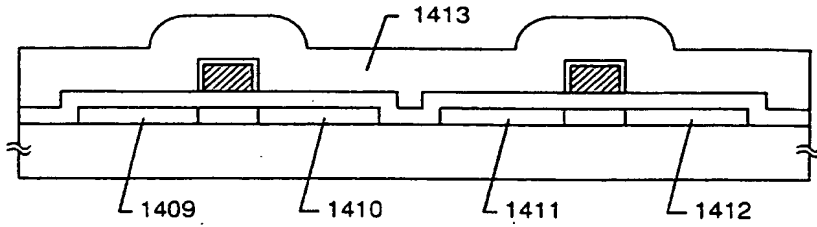


도면 14a

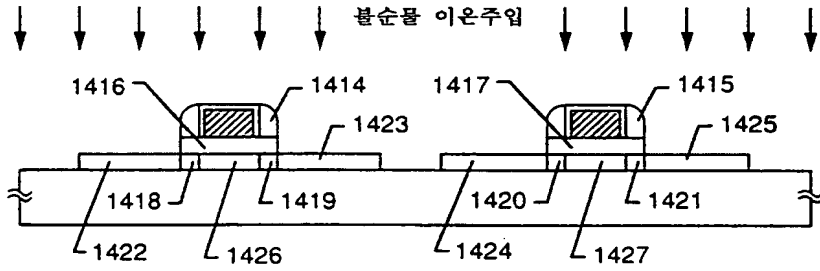




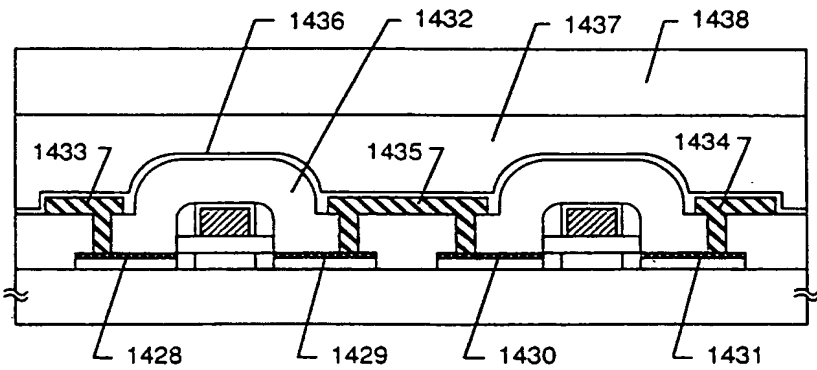
도면 14b



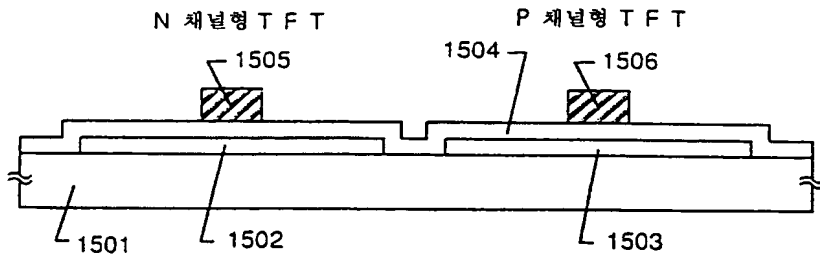
도면 14c



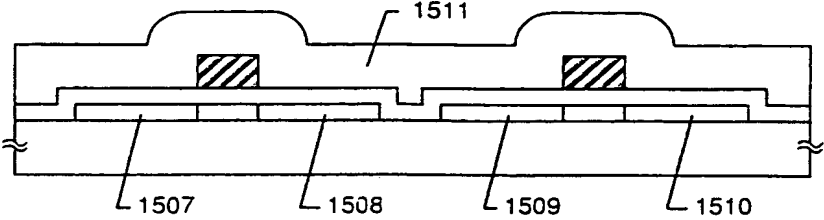
도면 14d



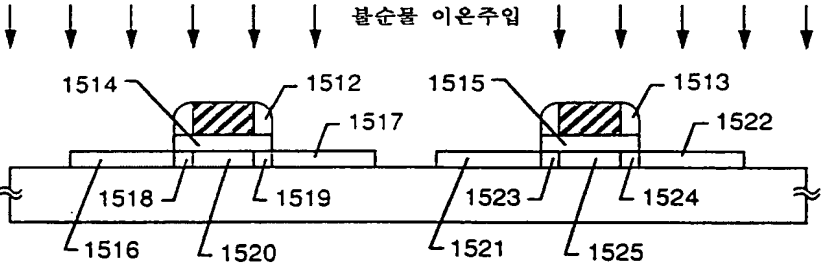
도면 15a



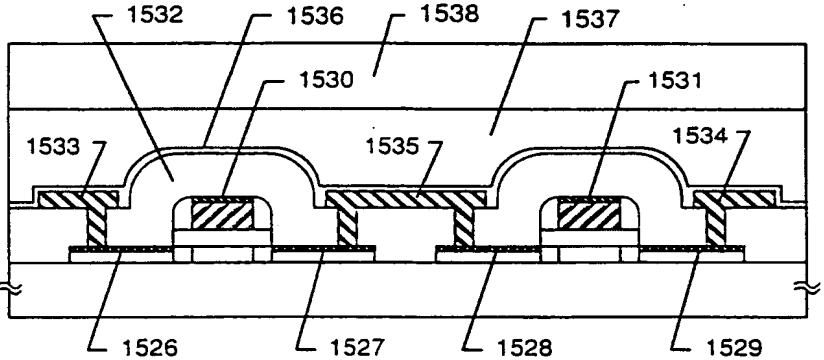
도면 15b



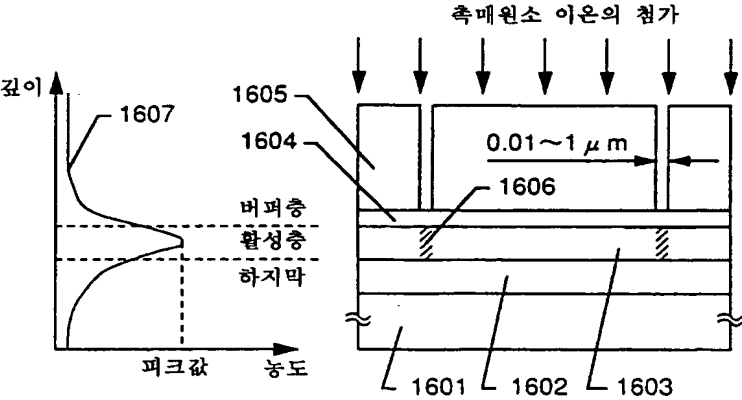
도면 15c



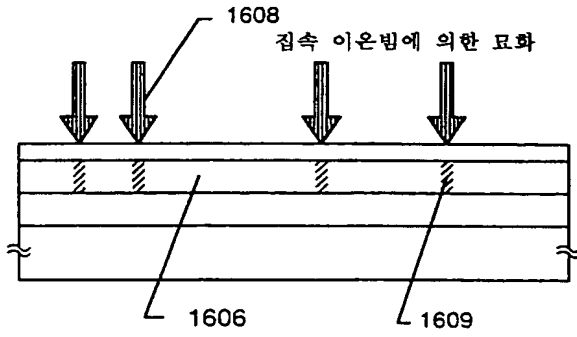
도면 15d



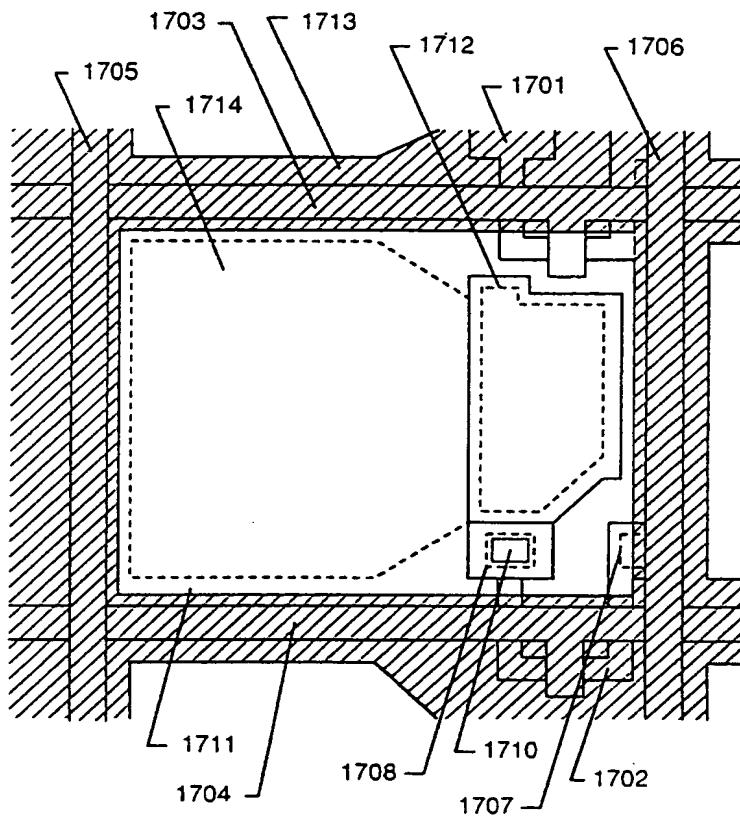
도면 16a



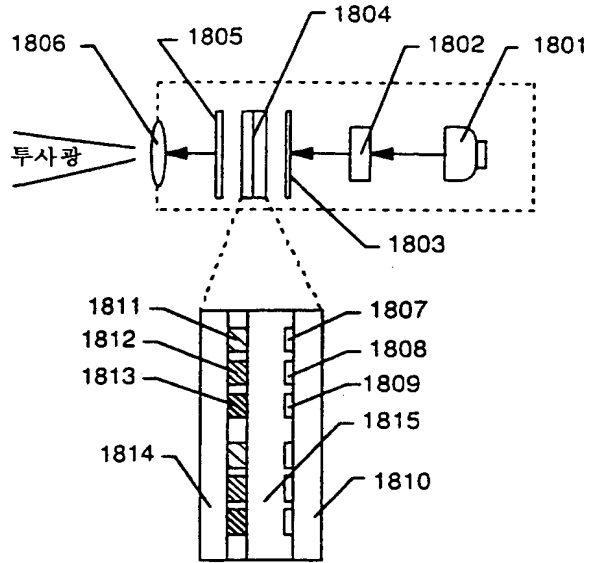
도면 16b



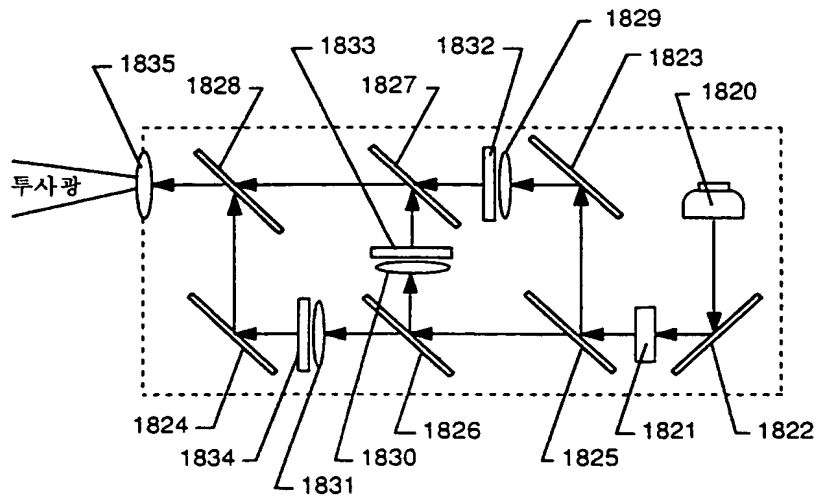
도면 17



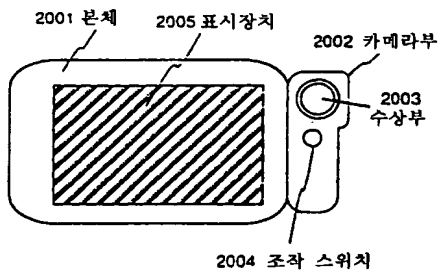
도면 18a



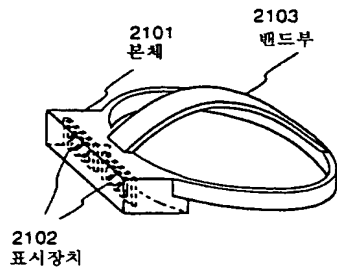
도면 18b



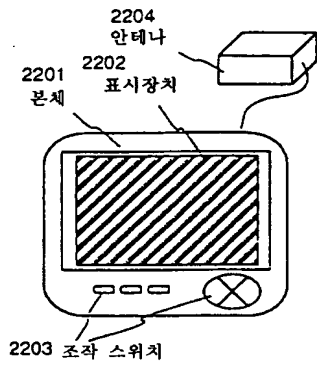
도면 19a



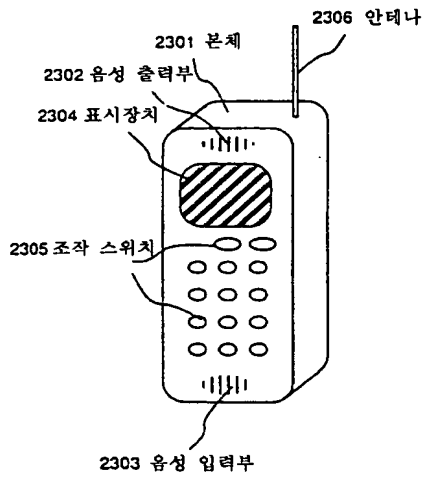
도면 19b



도면 19c



도면 19d



도면 19e

